

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

(19) Japan Patent Office (JP)

(11) Japanese Patent Laid-Open Number: Hei 7-235255

(12) Publication of Unexamined Patent Applications (A)

(43) Laid-Open Date: Heisei 7-9-5 (September 5, 1995)

(51) Int. Cl. <sup>6</sup>	Identification Code	Office Reference Number	F1
H 01 J	1/30	A	
	9/02	B	
	31/12	B	
	31/15	C	

Request for Examination: No request to be done

Number of Claims: 30 OL (twenty-four pages in total)

(21) Application Number: Hei 6-141670

(22) Filed: Heisei 6-6-23 (June 23, 1994)

(31) Claim of Priority Number: Hei 5-335925

(32) Priority Date: Heisei 5-12-28 (December 28, 1993)

(33) Claim of Priority Country: Japan (JP)

(71) Applicant: 000001007

CANON INC.

30-2, Shimomaruko 3-chome, Ohta-ku, Tokyo

(72) Inventor: Masato Yamanobe

CANON INC.

30-2, Shimomaruko 3-chome, Ohta-ku, Tokyo

(72) Inventor: Ichiro Nomura

CANON INC.

30-2, Shimomaruko 3-chome, Ohta-ku, Tokyo

(72) Inventor: Hidetoshi Suzuki

CANON INC.

30-2, Shimomaruko 3-chome, Ohta-ku, Tokyo

(74) Agent: Attorney Giichi Marushima

to be continued to the last page

(54) [Title of the Invention] Electron Emission Device and Method of Manufacturing the Same, and Electron Source



Using Electron Emission Device and Image Formation Apparatus the Same  
(57) [Abstract] (Amended)

[Object] To provide a novel constitution of a surface conduction type electron emission device with a high efficiency and a method of manufacturing the same, and an electron source using the same and an image formation apparatus using the same.

[Constitution] An electron emission device having an electrically conductive film 4 including a high resistance portion, between electrodes 5 and 6 facing each other, the electron emission device having a sediment 61 containing carbon as a major constituent in the high resistance portion, a method of manufacturing the same, and an electron source using the same and an image formation apparatus using the same.

[Claims]

[Claim 1] An electron emission device which has an electrically conductive film including a high resistance portion, between electrodes facing each other, wherein a sediment containing carbon as a major constituent is provided in the high resistance portion.

[Claim 2] The electron emission device according to claim 1, wherein the sediment containing said carbon as a major constituent further exists in the vicinity of said high resistance portion.

[Claim 3] The electron emission device according to claim 2, wherein the sediment containing said carbon as a major constituent exists a region ranging from a part of said high resistance portion to said electrically conductive film.

[Claim 4] The electron emission device according to claim 3, wherein the sediment containing said carbon as a major constituent is unevenly distributed on a region ranging from a part of said high resistance portion to the electrically conductive film on one electrode side of said electrodes.

[Claim 5] The electron emission device according to claim 4, wherein the sediment containing said carbon as a major constituent is unevenly distributed on a region ranging from a part of said high resistance portion to the electrically conductive film on a high potential electrode of said electrodes.

[Claim 6] The electron emission device according to claim 1, wherein said electrically conductive film is formed of electrically conductive fine particles.

[Claim 7] The electron emission device according to claim 6, wherein said

electrically conductive fine particles are formed of a metal or a metal oxide.

[Claim 8] The electron emission device according to claim 6, wherein at least a part of said electrically conductive fine particles is covered with said sediment.

[Claim 9] The electron emission device according to claim 1, wherein said high resistance portion has electrically conductive particles.

[Claim 10] The electron emission device according to claim 9, wherein at least a part of said electrically conductive fine particles is covered with said sediment.

[Claim 11] The electron emission device according to claim 1, wherein the sediment containing said carbon as a major constituent covers at least a part of said electrodes.

[Claim 12] The electron emission device according to claim 1, wherein the sediment containing said carbon as a major constituent is graphite, amorphous carbon or mixture formed of graphite and amorphous carbon.

[Claim 13] The electron emission device according to claim 1, wherein an electron emission current shows a monotonous increasing characteristic for a voltage applied between said electrodes.

[Claim 14] An electron source which has an electron emission device, and emits electrons in response to an input signal, wherein said electron emission device is the electron emission device according to any one of claims 1 to 13.

[Claim 15] The electron source according to claim 14, wherein said electron emission device is provided in plural number, a plural number of lines of the electron emission devices, each of which has both ends connected by wiring, are provided, and modulation means for modulating electron rays emitted from the electron emission device is provided.

[Claim 16] The electron source according to claim 14, wherein said electron emission device is provided in plural number, the plurality of electron emission devices being disposed in parallel with each other so as to be connected to m X-direction wirings and n-direction wirings electrically insulated from each other.

[Claim 17] An image formation apparatus which has an electron source and an image formation member, and forms an image in response to an input signal, wherein said electron source has an electron emission device which

is the electron emission device according to any one of claims 1 to 13.

[Claim 18] The image formation apparatus according to claim 17, wherein said electron source has said electron emission device in plural number, a plural number of lines of the electron emission devices, each of which has both ends connected by wiring, are provided, and modulation means for modulating electron rays emitted from the electron emission device is provided.

[Claim 19] The image formation apparatus according to claim 17, wherein said electron source has said electron emission device in plural number, the plurality of electron emission devices being disposed in parallel with each other so as to be connected to m X-direction wirings and n-direction wirings electrically insulated from each other.

[Claim 20] The image formation apparatus according to claim 17, wherein an electron emission current of said electron source and a device current show a monotonous increasing characteristic for a voltage applied to the device.

[Claim 21] The image formation apparatus according to claim 17, wherein the image formation apparatus is kept to a vacuum so as to prevent a sediment containing said carbon as a major constituent from being newly deposited.

[Claim 22] A method of manufacturing an electron emission device which has an electrically conductive film including an electron emission portion between electrodes facing each other, comprising an activation step for activating the device.

[Claim 23] The method of manufacturing an electron emission device according to claim 22, wherein said activation step is a step for depositing a sediment containing carbon as a major constituent in said device.

[Claim 24] The method of manufacturing an electron emission device according to claim 23, wherein said activation step includes a step for applying a voltage to an electrically conductive film provided between the electrodes in vacuum.

[Claim 25] The method of manufacturing an electron emission device according to claim 24, wherein said voltage is applied in the form of pulses.

[Claim 26] The method of manufacturing an electron emission device according to claim 25, wherein said voltage is a voltage equal to a voltage

control type negative resistance characteristic region or more.

[Claim 27] The method of manufacturing an electron emission device according to claim 26, wherein said voltage is a driving voltage of an electron emission device.

[Claim 28] The method of manufacturing an electron emission device according to claim 22, the method further comprising a forming step.

[Claim 29] The method of manufacturing an electron emission device according to claim 28, wherein said forming step is a step for forming a high resistance portion in an electrically conductive film provided between the electrodes.

[Claim 30] The method of manufacturing an electron emission device according to claim 22, wherein said activation step is performed after said forming step.

[Detailed Description of the Invention]

[0001]

[Field of the Invention] The present invention relates to an electron source and an image formation apparatus such as a display device which is obtained by applying it, more particularly to a surface conduction type electron emission device having a novel constitution, an electron source using it, and an image formation apparatus such as a display device which is obtained by applying it.

[0002]

[Prior Arts] As an electron emission device, two kinds of devices including thermal electron sources and cold cathode electron sources have been heretofore known. The cold cathode electron sources include an electron emission type (hereinafter abbreviated to an FE type) electron emission device, a metal/insulating layer/metal type (hereinafter abbreviated to an MIN type) electron emission device and a surface conduction type electron emission device.

[0003] As an example of the FE type electron emission device, W. P. Dyke & W. W. Dolan, "Fieldemission", Advance in Electron Physics, 8, 89 (1956), C. A. Spindt, "PHYSICAL Properties of thin-filmfield emission cathodes with molybdenum cones", J. Appl. Phys., 47, 5248 (1976) and the like have been known.

[0004] As an example of the MIN type electron emission device, C. A. Mead,

"The tunnel-emission amplifier, J. Appl. Phys., 32,646 (1961) and the like have been known.

[0005] As an example of the surface conduction type electron emission device, M. I. Elinson, RadioEng. Electron Phys., 10, (1965) and the like have been known.

[0006] The surface conduction type electron emission device utilizes phenomenon in which electron emission occur in a thin film of a small area formed on a substrate by allowing a current to flow in parallel with a surface of the film. As the surface conduction type electron emission device, the one using a SnO<sub>2</sub> thin film by the foregoing Elinson, the one using Au thin film [G. Dittmer: "Thin Solid Films", 9, 317 (1972)], the one using In<sub>2</sub>O<sub>3</sub>/SnO<sub>2</sub> thin film [M. Hartwell and C. G. Fonstad: "IEEE Trans. ED Conf.", 519 (1975)], the one using a carbon thin film [Hisashi Araki and others: Vacuum, Vol. 26, No. 1, p 22 (1983)] have been reported.

[0007] A device structure by the foregoing M. Hartwell is shown in Fig. 18 as a typical device structure of these surface conduction type electron emission devices. In Fig. 18, reference numeral 1 denotes an insulating substrate. Reference numeral 2 denotes a thin film for forming an electron emission portion, which is formed of a metal oxide thin film formed to an H-shaped pattern by sputtering, and an electron emission portion 3 is formed by an electrifying treatment called a forming to be described later. Reference numeral 4 shall be referred to as a thin film including the electron emission portion. Note that L1 in the drawing is set to 0.5 to 1 mm and W is set to 0.1 mm.

[0008] In these surface conduction type electron emission devices, the electron emission portion 3 has generally been formed by the electrifying treatment called the forming as to the thin film 2 for forming an electron emission portion before performance of electron emissions. Specifically, the forming is performed in such manner that a DC voltage or a voltage which is very slowly boosted, for example, at a rate of about 1V/minute, is applied to both ends of the thin film 2 for forming an electron emission portion, to destroy, deform or transmute the thin film for forming an electron emission portion locally, and thus the electron emission portion 3 made to be an electrically high resistance state is formed. Note that in the electron emission portion 3, cracks occur in a part of the thin film 2 for forming an electron

emission portion and electron emissions are performed in the vicinity of the cracks. The thin film 2 for forming an electron emission portion which includes the electron emission portion formed by the forming shall be hereinafter referred to a thin film 4 including an electron emission portion. The surface conduction type electron emission device that has been subjected to the foregoing forming treatment emits electrons from its foregoing electron emission portion 3 by applying a voltage to the foregoing thin film 4 including an electron emission portion and allowing a current to flow there-through.

[0009] However, in these conventional surface conduction type electron emission devices, though there have been varieties of problems in putting them to practical use, the applicant of this application eagerly investigated various kinds of improvements as described later, and solved varieties of problems in putting them to practical use.

[0010] Since the foregoing surface conduction type electron emission devices have simple structures and can be manufactured easily, they have advantages that many can be arranged in a large area. Accordingly, various applications have been studied to make use of this feature. For example, charge beam sources, display devices and the like are enumerated.

[0011] As an example in which many surface conduction type electron emission devices are arranged, an electron source is enumerated in which the surface conduction type electron emission devices are arranged in parallel, and many lines obtained by connecting both ends of the respective devices by wiring are arranged. (e. g., Japanese Patent Laid-Open Sho 64-31332, Hei 1-283749, Hei 1-257552). Moreover, in image formation apparatuses such as display devices, particularly, though flat plate type display devices using liquid crystal have recently been popularized in place of CRTs, they are not self-luminous type, and they have troubles including a trouble with provision of a back light. Accordingly, development of self-luminous type display devices have been desired. Image formation apparatuses, which are display devices obtained by combining an electron source in which many surface conduction type electron emission devices are disposed and a phosphor emitting visible light by electrons emitted from the electron source, can be comparatively easily manufactured even when they have a large screen, and are a self-luminous type display device showing an excellent



display quality (e. g., USP 5066883).

[0012] Selection of a device emitting electrons to allow the phosphor to emit light, from the electron source constituted by many surface conduction type electron emission devices, is performed depending on a suitable driving signal to a wiring (called a row direction wiring) in which foregoing many surface conduction type electron emission devices are arranged in parallel, to a wiring (called a column direction wiring) in which they are arranged in a direction perpendicular to the row direction wiring, and to a control electrode (called a grid) arranged in a space between the electron source and the phosphor (e.g., Japanese Patent Laid-Open Hei 1-283749).

[0013]

[Subjects to be Solved by the Invention] However, behaviors of the surface conduction type electron emission device in vacuum, used for the foregoing electron source and the foregoing image formation apparatus, have not been almost known yet, and a stable and controlled electron emission characteristic and its increased efficiency have been desired.

[0014] Here, the efficiency means a current ratio of a current flowing when a voltage is applied to a pair of opposite device electrodes of the surface conduction type electron emission device (hereinafter referred to as a device current  $I_f$ ) to a current emitted in vacuum (hereinafter referred to as an emitted current  $I_e$ ).

[0015] Specifically, the device current should be as small as possible, and the emitted current should be as large as possible.

[0016] If the stable and controlled electron emission characteristic and the increased efficiency can be achieved, a high quality image formation apparatus displaying a bright image with a small current, for example, a flat television, can be realized in the image formation apparatus using the phosphor as the image formation member. Moreover, accompanied with the low current display, a lowering of cost of a driving circuit constituting the image formation apparatus can be expected. In view of the foregoing problems, the present invention provides a novel constitution of a high efficiency electron emission device which can be controlled stably and shows a device current as small as possible and an emitted current as large as possible, a method of manufacturing the same, an electron source using the same, and an image formation apparatus using the same.

[0017]

[Means for Solving the Subjects] An electron emission device to solve the foregoing subjects, which has an electrically conductive film including a high resistance portion, between electrodes facing each other, wherein a sediment containing carbon as a major constituent is provided in the high resistance portion. The electron emission device is preferably an electron emission device in which the sediment containing said carbon as a major constituent exists a region ranging from a part of the high resistance portion to the electrically conductive film. The electron emission device is more preferably an electron emission device in which the sediment containing the carbon as a major constituent is unevenly distributed on a region ranging from a part of the high resistance portion to the electrically conductive film on a high potential electrode of the electrodes.

[0018] A method of manufacturing the electron emission device which has an electrically conductive film including an electron emission portion between electrodes facing each other, comprising an activation step for activating the device. The activation step includes a step for depositing a sediment containing carbon as a major constituent in the device. The activation step preferably includes a step for applying a voltage in vacuum to an electrically conductive film provided between the electrodes.

[0019] The voltage is preferably applied in the form of pulses. The voltage is particularly preferably a driving voltage of the electron emission device.

[0020] Furthermore, the present invention is an electron source which has the above described electron emission device, and emits electrons in response to an input signal. The present invention is preferably an electron source in which the electron emission device is provided on a substrate, in which plural number of lines of the electron emission devices, each of which has both ends connected by wiring, are provided, the electron source having an arrangement style having modulation means or an arrangement style in which electron emission device is provided in plural number, the plurality of electron emission devices being disposed so that a pair of device electrodes are connected to m X-direction wirings and n Y-direction wirings electrically insulated from each other.

[0021] Moreover, the present invention is an image formation apparatus forming an image in response to an input signal, which has at least an im-

age formation member and the electron source of the present invention.

[0022] Preferable embodiments will be described below.

[0023] First, a basic constitution of a surface conduction type electron emission device according to the present invention will be described.

[0024] Figs. 1(a) and 1(b) are a plan view and a section view showing a constitution of a basic flat plate type surface conduction type electron emission device according to the present invention, respectively. The basic constitution of the device according to the present invention will be described using Fig. 1.

[0025] In Fig. 1, reference numeral 1 denotes a substrate; 5 and 6, a device electrode; 4, a thin film (electrically conductive film) including an electron emission portion; and 3, the electron emission portion.

[0026] As the substrate 1, enumerated are quartz glass, glass in which impurity contents such as Na and the like are reduced, blue plate glass, and a glass substrate obtained by laminating  $\text{SiO}_2$  formed by a sputtering method or the like on blue plate glass, ceramics such as alumina and the like.

[0027] Any material may be employed as materials of the device electrodes 5 and 6 facing each other as long as they have electrical conductivity, and enumerated are a printing conductor formed of metals such as Ni, Cr, Au, Mo, W, Pt, Ti, Al, Cu, and Ps or alloys of them, metals such as Pd, Ag, Au,  $\text{RuO}_2$  and Pd-Ag or metal oxides of them and glass, a transparent conductor formed of  $\text{In}_2\text{O}_3\text{-SnO}_2$ , and a semiconductor material such as polysilicon.

[0028] An inter-device electrode distance L1, a device electrode length W1 and a shape of the electrically conductive film 4 are properly designed in accordance with an application style of this device. For example, in a display device to be described later, a pixel size corresponding to a screen size is designed in a television, and in a high quality TV, above all, the pixel size is small, and a high definition is required. Therefore, in order to obtain a sufficient luminance under conditions that the size of the electron emission device is limited, designing is performed so as to obtain a sufficient emitted current.

[0029] The inter-device electrode distance L1 ranges from several hundred angstroms to several hundred micrometers, is set by a photolithography technology which is a base of a manufacturing method of the device electrode, that is, performance of an exposing machine and etching method, and

a voltage applied between the device electrodes and electric field intensity capable of emitting electrons. The inter-device electrode distance  $L_1$  should preferably range from several micrometers to several ten micrometers.

[0030] The length  $W_1$  of the device electrode and a film thickness  $d$  of the device electrodes 5 and 6 are properly designed based on a resistance value of the electrode, the connections of the foregoing X and Y wirings, and problems concerning arrangements of the electron sources arranged in plural number. The length  $W_1$  of the device electrode usually ranges from several micrometers to several hundred micrometers, and the film thickness  $d$  of the device electrodes 5 and 6 ranges from several hundred angstroms to several micrometers.

[0031] The thin film 4 including an electron emission portion provided between the device electrode 5 and the device electrode 6 facing each other, provided on the substrate 1, as well as provided on the device electrodes 5 and 6, includes the electron emission portion 3. However, the provision of the thin film 4 is not limited to the case shown in Fig. 1(b), and the thin film is not sometimes provided on the device electrodes 5 and 6. Specifically, electrically, the case where the thin film 2 for forming an electron emission portion and the device electrodes 5 and 6 facing each other are laminated on the insulating substrate 1 in this order holds true. Furthermore, all portions between the device electrodes 5 and 6 facing each other function sometimes as the electron emission portions depending on a way to manufacture the device. The film thickness of the thin film 4 including this electron emission portion should preferably range from several angstroms to several thousands angstroms, particularly from 10 angstroms to 500 angstroms. A step coverage to the device electrodes 5 and 6, a resistance value between the electron emission portion 3 and the device electrodes 5 and 6 and diameters of the electrically conductive fine particles of the electron emission portion 3 are properly set depending on electrifying treatment conditions described later. The resistance value shows a sheet resistance value of  $10^3$  to  $10^7$  ohm/ $\square$ .

[0032] When concrete examples of materials constituting the thin film (electrically conductive film) 4 including the electron emission portion are enumerated, metals such as Pd, Ru, Ag, Au, Ti, In, Cu, Cr, Fe, Zn, Sn, Ta, W

and Pb, oxides such as PdO, SnO<sub>2</sub>, In<sub>2</sub>O<sub>3</sub>, PbO and Sn<sub>2</sub>O<sub>3</sub>, borides such as HfB<sub>2</sub>, ZrB<sub>2</sub>, LaB<sub>6</sub>, CeB<sub>6</sub>, YB<sub>4</sub> and GdB<sub>4</sub>, carbides such as TiC, ZrC, HfC, TaC, SiC and WC, nitrides such as TiN, ZrN and HfN, semiconductors such as Si and Ge, and carbon, AgMg, NiCu, Pb and Sn are such concrete examples. They are fine particles.

[0033] The fine particle films described here are films in which a plurality of fine particles congregate. As a minute structure, there is not only a film in a state where the fine particles are individually dispersed but also a film in a state where the fine particles are adjacent to each other or superposed upon another, which includes an island-shape.

[0034] Diameters of the fine particles range from several angstroms to several thousands angstroms, preferably from 10 angstroms to 200 angstroms.

[0035] The electron emission portion 3 is, for example, a high resistance portion such as cracks, which is formed in a part of the electrically conductive film 4. The electron emission portion 3 has sometimes many fine particles of diameters preferably ranging from several angstroms to several hundreds angstroms, particularly preferably from 10 angstroms to 500 angstroms. The diameters of the fine particles depend on the film thickness of the thin film (electrically conductive film) 4 including the electron emission portion, and a manufacturing method such as an electrifying treatment condition described later. The diameters thereof are appropriately set.

[0036] The foregoing electrically conductive fine particles are a substance identical to a part of elements of the materials constituting the thin film (electrically conductive film) 4 including the electron emission portion or to all of them.

[0037] Furthermore, carbon or carbon compound is deposited on a part of the electron emission portion 3 and the electrically conductive film 4 in the vicinity of the electron emission portion 3.

[0038] Next, a vertical type surface conduction type electron emission device that is the surface conduction type electron emission device having a different constitution according to the present invention will be described.

[0039] Fig. 12 is a schematic view showing a constitution of the basic vertical type surface conduction type electron emission device.

[0040] In Fig. 12, the constituent components denoted by the same reference numerals as those in Fig. 1 are identical to the constituent components in

Fig. 1. Reference numeral 21 denotes a step difference formation portion. A substrate 1, device electrodes 5 and 6, a thin film 4 including an electron emission portion, and an electron emission portion 3 are formed of the same materials as those in the foregoing flat plate type surface conduction type electron emission device. The step difference formation portion 21 is formed of an insulating material such as  $\text{SiO}_2$ , formed by a vacuum deposition method, a printing method, and a sputtering method. A film thickness of the step difference formation portion 21 corresponds to the inter-device electrode distance  $L$  of the foregoing flat plate type surface conduction type electron emission device, and ranges from several ten nanometers to several ten micrometers. The film thickness of the step difference formation portion 21 is set in accordance with a manufacturing method of the step difference formation portion, a voltage applied between the device electrodes, and an electric field intensity capable of emitting electrons, and preferably ranges from several ten nanometers to several micrometers. Since the thin film 4 including the electron emission portion is formed after formations of the electron electrodes 5 and 6 and the step difference formation portion 21, the thin film 4 is layered on the device electrodes 5 and 6. Note that the electron emission portion 3 is shown linearly in the step difference formation portion 21, depends on formation conditions and electrifying forming conditions, and a shape and a position thereof are not limited to this.

[0041] Various kinds of methods are conceived as a manufacturing method of the electron emission device having the electron emission portion 3. An example of the manufacturing method is shown in Fig. 2. Note that in Fig. 2, reference numeral 2 denotes a thin film for forming an electron emission portion (electrically conductive film), and, for example, a fine particle film is enumerated.

[0042] The manufacturing method will be sequentially described based on Fig. 1 and Fig. 2 below.

1) After the substrate 1 is sufficiently deterged by detergent, pure water or organic solvent, a device electrode material is deposited by a vacuum deposition method, a sputtering method and the like, followed by formation of the device electrodes 5 and 6 on the insulating substrate 1 by a photolithography technology (Fig. 2(a)).

2) Organic metal solvent is coated onto the insulating substrate on which the device electrodes 5 and 6 are formed, between the device electrodes 5 and 6 provided on the insulating substrate 1, and left as it is, whereby an organic metal thin film is formed. Note that the organic metal solvent is solution formed of organic compound containing as major elements metals such as the foregoing Pd, Ru, Ag, Au, Ti, In, Cu, Cr, Fe, Zn, Sn, Ta, W and Pb. Thereafter, the organic metal thin film undergoes a heating baking treatment, and is patterned by a lift-off and etching, thus forming the thin film 2 for forming the electron emission portion (Fig. 2(b)). Although description of the formation of the thin film 2 was made by a coating method of the organic metal solution, the formation thereof is not limited to this. The thin film 2 is sometimes formed by a vacuum evaporation method, a sputtering method, a chemical vapor deposition method, a dispersion coating method, a dipping method, a spinner method and the like.

3) Subsequently, when the electrifying treatment called a forming is performed by applying a pulse-shaped voltage from a power source (not shown) between the device electrodes 5 and 6 or by applying a boosted voltage therebetween, the electron emission portion 3 having a changed structure is formed in a portion of the thin film for forming the electron emission portion (electrically conductive film) 2 (Fig. 2(c)). By this electrifying treatment, the thin film for forming the electron emission portion (electrically conductive film) 2 is locally destroyed, deformed or changed its nature, and the portion (high resistance portion) where the structure is changed is called the electron emission portion 3.

[0043] Electrical treatments after the forming treatment are performed in a measurement evaluation apparatus shown in Fig. 3. The measurement evaluation apparatus will be described below.

[0044] Fig. 3 is a schematic constitution view of the measurement evaluation apparatus for measuring an electron emission characteristic of the device having the constitution shown in Fig. 1. In Fig. 3, reference numeral 1 denotes a substrate; 5 and 6, device electrodes; 4, a thin film including an electron emission portion; and 3, the electron emission portion. Moreover, reference numeral 31 denotes a power source for applying a device voltage  $V_f$  to the device; 30, a current meter for measuring the device current  $I_f$  flowing through the thin film 4 including the electron emission

portion between the device electrodes 5 and 6; 34, an anode electrode for capturing the emitted current  $I_e$  discharged from the electron emission portion of the device; 33, a high voltage source for applying a voltage to the anode electrode 34; and 32, a current meter for measuring the emitted current  $I_e$  discharged from the electron emission portion 3 of the device.

[0045] In measuring the foregoing device current  $I_f$  of the electron emission device, and the emitted current  $I_e$  thereof, the power source 31 and the current meter 30 are connected to the device electrodes 5 and 6, and the anode electrode 34 connecting the power source 33 and the current meter 32 is disposed above the electron emission portion. Moreover, the electron emission device and the anode electrode 34 are placed in a vacuum apparatus, and equipment such as an air exhaustion pump (not shown) and a vacuum gage (not shown), which are necessary for the vacuum apparatus, is provided in the vacuum apparatus, so that the measurement evaluation can be performed in a desired vacuum. Note that the air exhaustion pump is composed of an ordinary high vacuum apparatus system constituted by a turbo pump and a rotary pump or a high vacuum apparatus system without the use of oil such as magnetic levitation turbo pump and a dry pump, and an ultra high vacuum apparatus system constituted by an ion pump. Moreover, the whole of the vacuum apparatus and the power source substrate can be heated by a heater (not shown) to 200 °C.

[0046] Note that the voltage of the anode electrode was measured at a range from 1 kV to 10 kV, and the distance  $H$  from the anode electrode to the electron emission device was measured at a range from 2 mm to 8 mm.

[0047] The forming treatment is performed by applying pulses having a peak value that is a constant voltage, or by applying voltage pulses while increasing a pulse peak value. First, a voltage waveform when pulses having a pulse peak value that is a constant voltage is shown in Fig. 4(a).

[0048] In Fig. 4(a),  $T_1$  and  $T_2$  are a pulse width of a voltage waveform and a pulse interval thereof, and  $T_1$  is set to 1 microsecond to 10 milliseconds and  $T_2$  is set to 10 microseconds to 100 milliseconds. A peak value of a triangular wave (a peak voltage in the forming) is appropriately selected, and it is applied under vacuum atmosphere.

[0049] Next, a voltage waveform when voltage pulses are applied while increasing a pulse peak value is shown in Fig. 4(b).



[0050] In Fig. 4(b), T1 and T2 are a pulse width of a voltage waveform and a pulse interval thereof, and T1 is set to 1 microsecond to 10 milliseconds and T2 is set to 10 microseconds to 100 milliseconds. A peak value of a triangular wave (a peak voltage in the forming) is increased by about 0.1 V step, and is applied under vacuum atmosphere.

[0051] The forming treatment was finished when the device current was measured, the resistance value was obtained and it showed, for example, a value of 1 M ohm or more under a voltage of, for example, about 0.1 V that does not partially destroy and deform the thin film 2 for forming the electron emission portion during the pulse interval T2. The voltage at this time shall be called a forming voltage  $V_{\text{form}}$ .

[0052] When the electron emission portion described above is formed, the forming treatment is performed by applying the triangular pulse between the electrodes of the device. The waveform applied between the electrodes of the device is not limited to the triangular wave, a desired waveform such as a rectangular wave may be used, and its peak value, pulse width and pulse interval are not limited to the above values. Desired values are selected in accordance with resistance values of the electron emission device so that the electron emission portion can be satisfactorily formed.

[0053] Moreover, since the forming voltage is uniquely determined depending on materials and constitutions of the device, the individual devices can obtain energy of the suitable forming more easily in the case where the voltage pulses are applied while increasing the pulse peak value as shown in Fig. 4(b), and a good electron emission characteristic can be preferably obtain.

4) Next, a treatment called an activation treatment is performed for the device that has been subjected to the forming treatment. The activation treatment is one in which pulses having a peak value that is a constant voltage are repeatedly applied similarly to the forming treatment at a vacuum ranging from about  $10^{-4}$  to  $10^{-5}$  Torr, and the device current  $I_f$  and the emitted current  $I_e$  significantly change by depositing carbon or carbon compound from organic substance existing in vacuum. While measuring the device current  $I_f$  and the emitted current  $I_e$ , for example, when the emitted current  $I_e$  saturates, the activation treatment is finished. An example of dependency of the device current  $I_f$  and the emitted current  $I_e$  on the acti-

vation treatment time is shown in Fig. 5.

[0054] The activation treatment depends on vacuum, a pulse voltage applied to the device, and the time dependency of the device current  $I_f$  and the emitted current  $I_e$  changes, and a formation state of a covering film (sediment) onto the thin film, which was deformed and changed in its nature, changes.

[0055] A case where a sufficiently high pulse of an activation treatment voltage compared to the forming voltage  $V_{form}$  is applied shall be a high resistance activation treatment. On the other hand, a case where a sufficiently low pulse of the activation treatment voltage compared to the forming voltage  $V_{form}$  is applied shall be a low resistance activation treatment. The activation treatment is classified depending on a level of a start voltage  $V_P$  showing a later described voltage control type negative resistance, to be correct, using the voltage  $V_P$  as a boundary.

[0056] Figs. 6(a) and 6(b) are schematic views showing an observation of a state change of the device in the case of the high resistance activation treatment and the low resistance activation treatment. Note that the above observation was performed by FESEM, TEM and the like.

[0057] Figs. 6(a) and 6(b) are section views of the device in the case where the high resistance activation treatment and the low resistance treatment were performed. Note that reference numeral 5 was used as a high potential side electrode, reference numeral 6 was used as a low potential side electrode, and an application of the voltage was performed. In Fig. 6(a) showing the case of the high resistance activation treatment, carbon or carbon compound 61 is mainly deposited on the electrically conductive film 4 on the high potential electrode 5 side rather than on a part of the portion (high resistance portion) 3 which is deformed like being fissured and changed in its nature by the forming. When the observation is performed with a higher magnification, the carbon or the carbon compound 61 is deposited also in the periphery of the fine particles. Moreover, the carbon or the carbon compound 61 is deposited also on the device electrodes sometimes depending on the distance between the device electrodes facing each other. A film thickness thereof should be preferably 500 angstroms or less, more preferably 300 angstroms or less.

[0058] Here, the carbon or the carbon compound includes graphite meaning

single crystalline and poly crystalline and amorphous carbon meaning compound formed of amorphous carbon and polycrystalline graphite as a result of TEM and Raman.

[0059] On the other hand, in Fig. 6(b) showing the case of the low resistance activation treatment, the carbon or the carbon compound 61 is deposited on a part of the portion 3 that has been deformed and changed in its nature by the forming. When the observation is performed with a higher magnification, the carbon or the carbon compound 61 is deposited also in the periphery of the fine particles.

[0060] Here, similarly to the above, the carbon or the carbon compound includes graphite meaning single crystalline and poly crystalline and amorphous carbon meaning compound formed of amorphous carbon and polycrystalline graphite as a result of TEM and Raman.

5) The electron emission device prepared as described above is preferably driven under vacuum atmosphere at vacuum higher than the vacuum at which the forming treatment and the activation treatment were performed. Moreover, the vacuum atmosphere at vacuum higher than the vacuum at which the forming treatment and the activation treatment were performed is one showing a vacuum of about  $10^{-6}$  Torr or more, more preferably one at which almost no carbon or carbon compound newly deposits in an ultra high vacuum system.

[0061] Accordingly, with such manner, it is possible to control additional deposit of the carbon or the carbon compound, and the device current  $I_f$  and the emitted current  $I_e$  are stabilized constantly.

[0062] Note that in the device in the case of the high resistance activation treatment and the low resistance activation treatment, a stability in an initial stage of driving differs, and more preferably the high resistance activation treatment is selected as the activation treatment.

[0063] A basic characteristic of the electron emission device according to the present invention, which was prepared by the device structure as described above and the manufacturing method, will be described using Fig.3 and Fig. 7.

[0064] A typical example of the relation among the emitted current  $I_e$ , the device current  $I_f$  and the device voltage  $V_f$  measured by the measurement evaluation apparatus shown in Fig. 3 is shown in Fig. 7. Since the emitted

current  $I_e$  is remarkably smaller than the device current  $I_f$ , Fig. 7 is illustrated in an optional measure. As is clear from Fig. 7, this electron emission device has three characteristics for the emitted current  $I_e$ .

[0065] First of all, when a device voltage equal to a certain voltage or more (referred to as a threshold voltage  $V_{th}$  in Fig. 7) is applied to this device, the emitted current  $I_e$  rapidly increases, and when a device voltage lower than the threshold voltage  $V_{th}$  is applied, the emitted current  $I_e$  is not almost detected. Specifically, this device is a nonlinear device having the clear threshold voltage  $V_{th}$  for the emitted current  $I_e$ .

[0066] Secondly, since the emitted current  $I_e$  depends on the device voltage  $V_f$ , the emitted current  $I_e$  can be controlled by the device voltage  $V_f$ .

[0067] Third, emitted charges captured in the anode electrode 34 depend on a time for which the device voltage  $V_f$  is applied. Specifically, a charge amount captured in the anode electrode 34 can be controlled by the time for which the device voltage  $V_f$  is applied.

[0068] On the other hand, the device current  $I_s$  sometimes shows a characteristic (solid lines in Fig. 7) in which the device current  $I_f$  monotonously increases for the device voltage  $V_f$  (called MI characteristic) and a voltage control type negative resistance (called VCNR characteristic) characteristic (broken lines in Fig. 7), and the characteristics of these device currents depend on the manufacturing methods thereof. In addition, a boundary voltage showing the VCNR characteristic is denoted as  $V_p$ .

[0069] Specifically, the VCNR characteristic of the device current  $I_f$  occurs when the forming is performed in an ordinary vacuum apparatus system and the VCNR characteristic was proved to largely change depending on a leaving time of the electron emission device in the vacuum apparatus until an electrical condition in the forming, a vacuum atmosphere condition in the vacuum apparatus system, a vacuum atmosphere condition of the vacuum apparatus system in measuring the electron emission device that has been already subjected to the forming, and an electrical measurement condition in measurement (for example, a sweep speed when the voltage applied to the device is swept from a low voltage to a high voltage to obtain a current-voltage characteristic of the electron emission device) are measured. In addition, at this time, the emitted current  $I_e$  shows a MI characteristic.

[0070] Since the electron emission device according to the present invention has the characteristic of the surface conduction type electron emission device as described above, that is, the monotonously increasing characteristic of the device current  $I_f$  and the emitted current  $I_e$  for the device application voltage, the electron emission device of the present invention can be expected to be applicable to many fields.

[0071] In the surface conduction type electron emission device constituted by previously dispersing the electrically conductive fine particles, the basic manufacturing method of the basic device structure of the present invention may be partially changed.

[0072] The basic constitution and the manufacturing method of the surface conduction type electron emission device were described as above, and according to a concept of the present invention, if the characteristic of the surface conduction type electron emission device has the foregoing three features, the device of the present invention is not limited to the above described constitution, and can be applied to a later described electron source and an image formation apparatus such as a display device.

[0073] Next, the electron source and the image formation apparatus of the present invention will be described.

[0074] The electron source and the image formation apparatus can be constituted by arranging the electron emission device of the present invention on a substrate in plural number.

[0075] As a method of an arrangement on the substrate, an arrangement style (hereinafter, referred to as a ladder type) is enumerated, in which many surface conduction type electron emission devices are arranged in parallel, many rows of the electron emission devices, both ends of which are connected by wiring, are arranged (called a row direction), and electrons are driven controllably by a control electrode (called a grid) disposed in a space above the electron source. An arrangement style is enumerated, in which  $n$  Y-direction wirings are placed on  $m$  X-direction wirings successively described interposing an interlayer insulating film, and the X-direction wirings and the Y-direction wirings are connected to a pair of device electrodes of the respective surface conduction type electron emission devices. This is hereinafter referred to as a simple matrix arrangement.

[0076] Next, this simple matrix will be described in detail.

[0077] According to the feature of the foregoing three basic characteristics of the surface conduction type electron emission device according to the present invention, emitted electrons from the surface conduction type electron emission device are controlled by a peak value of a pulse-shaped voltage and a width thereof applied between the opposite device electrodes in the threshold voltage or more. On the other hand, in the threshold voltage or less, the electrons are not almost emitted. According to this characteristic, even when many electron emission devices are arranged, if the above described pulse-shaped voltage is suitably applied to each device, the surface conduction type electron emission device is selected in accordance with an input signal, and its electron emission amount can be controlled.

[0078] A constitution of an electron source substrate constituted on the basis of this principle will be described using Fig. 8.

[0079] The  $m$  X-direction wirings 82 are composed of DX1, DX2,..., DX $m$ , and formed on the insulating substrate 1 by a vacuum evaporation method, a printing method, a sputtering method or the like. The X-direction wirings are formed of an electrically conductive metal or the like having a desired pattern, and a material, a film thickness and a width thereof are set so that approximately even voltages are applied to many surface conduction type electron emission device. The Y-direction wirings 83 are composed of  $n$  wiring including Dy1, DY2,..., DY $n$ , and formed by the vacuum evaporation method, the printing method, the sputtering method or the like, similarly to the X-direction wirings 82. The Y-direction wirings are formed of an electrically conductive metal or the like having a desired pattern, and a material, a film thickness and a width thereof are set so that approximately even voltages are applied to many surface conduction type electron emission device. Between the  $m$  X-direction wirings 82 and the  $n$  Y-direction wirings 83, an interlayer insulating layer (not shown) is formed, and the wirings 82 and 83 are electrically isolated, thus constituting the matrix wiring ( $m, n$ : positive integer).

[0080] The interlayer insulating layer (not shown) is SiO<sub>2</sub> or the like formed by the vacuum evaporation method, the printing method, the sputtering method or the like, and formed, in a desired shape, on the entire surface of the insulating substrate 1 on which the X-direction wirings 82 are formed or on a part of the insulating substrate 1. A film thickness, a material and a

manufacturing method of the interlayer insulating layer are appropriately set so that the interlayer insulating layer can resist a potential difference of a cross portion of the X-direction wirings 82 and the Y-direction wirings 83. The X-direction wirings 82 and the Y-direction wirings 83 are drawn out as an external terminal, respectively.

[0081] Moreover, similarly to the above, opposite electrodes (not shown) of the surface conduction type electron emission devices 84 are respectively connected to the m X-direction wirings 82 (DX1, DX2, ..., DXm) and the n Y-direction wirings 83 (DY1, DY2, ..., DYn) electrically by connection lines 85 formed of an electrically conductive metal or the like, formed by the vacuum evaporation method, the printing method, the sputtering method or the like.

[0082] Here, the electrically conductive metals forming the m X-direction wirings 82, the n Y-direction wirings 83, the connection lines 85 and the opposite device electrodes may be identical to each other in a part of constituent elements or all of them, and the electrically conductive metal is appropriately selected from a printing conductor formed of metals such as Ni, Cr, Au, Mo, W, Pt, Ti, Al, Cu, and Ps or alloys of them and metals such as Pd, Ag, Au, RuO<sub>2</sub> and Pd-Ag or metal oxides of them and glass, a transparent conductor formed of In<sub>2</sub>O<sub>3</sub>-SnO<sub>2</sub>, and a semiconductor material such as polysilicon. Moreover, the surface conduction type electron emission device may be formed on any of the insulating substrate 1 and the interlayer insulating layer (not shown).

[0083] Although the details are described later, scanning signal applying means (not shown) for applying a scan signal for scanning, in response to an input signal, the rows of the surface conduction type electron emission devices 84 arranged in the X-direction is electrically connected to the foregoing X-direction wirings 82. On the other hand, modulation signal generating means (not shown) for applying a modulating signal for modulating, in response to an input signal, the columns of the surface conduction type electron emission devices 84 arranged in the Y-direction is electrically connected to the foregoing Y-direction wirings 83.

[0084] Moreover, a driving voltage applied to each of the surface conduction type electron emission devices is supplied as a difference voltage between the scanning signal and the modulating signal, applied to the devices.

[0085] Next, the electron source using the electron source substrate pre-

pared in the above described manner and the image formation apparatus used for displays and the like will be described using Fig. 9 and Fig. 10. Fig. 9 is a basic constitutional view of the image formation apparatus, and Fig. 10 is a phosphor film.

[0086] In Fig. 9, reference numeral 1 denotes a substrate; 91, a rear plate fixing the substrate 1; 96, a face plate in which a phosphor film 94 and a metal back 95 are formed on an inner surface of a glass substrate 93; and 92, a supporting frame. Frit glass or the like is coated onto the rear plate 91, the supporting frame 92 and the face plate 96, and then baking at a temperature ranging from 400 °C to 500 °C for ten minutes or more in the air or nitrogen is performed for them. Thus, they are hermetically attached to each other, thus constituting an enveloper 98.

[0087] In Fig. 9, reference numeral 84 corresponds to the surface conduction type electron emission device shown in Fig. 1 or Fig. 12. Reference numerals 82 and 83 denote X-direction wirings and Y-direction wirings connected to a pair of device electrodes of the surface conduction type electron emission devices. Moreover, wirings connected to the device electrodes are sometimes called the device electrodes, when a material forming the device electrodes and a material forming the wiring are the same.

[0088] With reference to the enveloper 98, the enveloper 98 is composed of the face plate 96, the supporting frame 92 and the rear plate 91. However, since the rear plate 91 is provided to principally reinforce a strength of the substrate 1, if the substrate 1 itself has a sufficient strength, the separate rear plate 91 is unnecessary, and the enveloper 98 may be constituted by the face plate 96, the supporting frame 92 and the substrate 1 by attaching the supporting frame 92 directly to the substrate 1 hermetically.

[0089] Fig. 10 is a phosphor film. Although the phosphor film 94 is formed of only phosphor in the case of monochrome, the phosphor film 94 is composed of a black conductor material 101 and a phosphor 102, called a black stripe or a black matrix depending on an arrangement of the phosphor, in the case of a color phosphor film. The object of the provision of the black stripe and the black matrix is to make color mixing inconspicuous by blackening painting separation portion between the phosphors 102 of three primary color phosphors necessary for a color display, and to suppress a reduction in contrast due to external light reflection in the phosphor film 94.



As a material of the black stripe, in addition to a material containing graphite as a major constituent generally used, any material may be used as long as it shows an electrical conductivity and less light transmittance and reflectance.

[0090] As a method to coat the phosphor onto the glass substrate 93, a sedimentation method and a printing method are used without depending on monochrome and color.

[0091] Moreover, a metal back 95 is usually provided on an inner surface of the phosphor film 94. The object of the provision of the metal back is to increase luminance by mirror reflecting light among light generated by the phosphor to the face plate 96 side, the light travelling to the inner surface, and to allow the metal back 95 to act as an electrode for applying an electron beam acceleration voltage, and to protect the phosphor from damages due to collisions of negative ions generated in the enveloper. The metal back can be made by performing a smoothing treatment (usually called a forming) for the inner surface of the phosphor film after preparation of the phosphor film, and by depositing Al by the vacuum evaporation or the like.

[0092] A transparent electrode (not shown) may be provided in the face plate 96 to further increase electrical conductivity of the phosphor film 94.

[0093] When the foregoing hermetic attachment is performed, since each color phosphor and the electron emission device must correspond to each other in the case of color, sufficient positioning must be conducted.

[0094] The enveloper 98 is made to be vacuum of about  $10^{-6}$  Torr via an air exhaustion pipe (not shown), and the enveloper 98 is sealed.

[0095] The electron source substrate may have a structure that the device of Fig. 1 or Fig. 12 in which the electron emission portion is formed as described above is arranged and wired on the substrate as described above. The electron source substrate is more preferably prepared in such manner that devices before the formation of the electron emission portion, for example, the devices in a state of Fig. 2(b), are arranged and wired on the substrate, the assembled body is disposed within the enveloper 98 shown in Fig. 9, followed by making the enveloper at vacuum of about  $10^{-6}$  Torr by an ordinary vacuum apparatus system using a pump system such as a rotary pump and a turbo pump via an air exhaustion pipe (not shown), a voltage is applied between the device electrodes 5 and 6 (Fig. 2(b)) through the envel-

oper external terminals Dox1 to Doxm and Doy1 to Doyn, the foregoing forming is performed, and the foregoing activation treatment is performed while keeping the inside of the enveloper 10 at a vacuum of about  $10^{-6}$  Torr, thus forming the electron emission portion 3.

[0096] After the formation of the electron source substrate in the above described manner, the vacuum apparatus system is changed to an ultra high vacuum apparatus system using a pump system such as an ion pump, while performing baking at a temperature ranging from 80 to 150 degrees for a time ranging from 3 to 15 hours. The switching to the ultra high vacuum apparatus system and the baking are performed to satisfy the monotonously increasing characteristic (MI characteristic) of the device current  $I_f$  and the emitted current  $I_e$  of the foregoing surface conduction type electron emission device. The method and conditions of the formation of the electron source substrate are not limited to this. Moreover, to maintain the vacuum after sealing the enveloper 98, a gettering treatment is sometimes performed. This gettering treatment is one performed in such manner that immediately before sealing the enveloper 98 or after sealing the enveloper 98, a getter disposed at a predetermined position (not shown) of the enveloper 98 is heated, and thus an evaporation film is formed. The getter usually contains Ba as a major constituent, and serves to maintain a vacuum of, for example, about  $1 \times 10^{-5}$  to  $1 \times 10^{-7}$  Torr by an absorption action of the evaporation film.

[0097] In the image display device of the present invention completed in the above described manner, a voltage is applied to each electron emission device through the container external terminals Dox1 to Doxm, and Doy1 to Doyn, and thus electrons are emitted therefrom. A voltage of several kV or more is applied to the metal back 95 and a transparent electrode (not shown), and thus electron beam is accelerated so as to collide against the phosphor film 94, and the phosphor film 94 is excited and allowed to emit light, thus displaying an image.

[0098] The constitution described above is schematic constitution necessary for preparing the preferable image formation apparatus used for a display. The detail portions such as a material of each member are not limited to the foregoing contents, and appropriately selected so as to fit use of the image device.

[0099]

[Embodiments] The present invention will be described below in detail while citing embodiments.

[0100] (Embodiment 1) A constitution of a basic surface conduction type electron emission device according to the present invention is the same as the plan view and the section view of Figs. 1(a) and 1(b).

[0101] Four devices having the same shape are formed on a substrate 1 as shown in Fig. 11. Note that in Fig. 11, the same reference numerals as those of Fig. 1 represent the same constituent components.

[0102] A manufacturing method of the surface conduction type electron emission device according to the present invention is principally the same as those of Fig. 2. Using Fig. 1 and Fig. 2, a basic constitution of the device according to the present invention and a manufacturing method thereof will be described below.

[0103] In Fig. 1, reference numeral 1 denotes a substrate; 5 and 6, a device electrode; 4, a thin film including an electron emission portion; and 3, the electron emission portion.

[0104] Descriptions of the manufacturing method will be sequentially described with reference to Fig. 1 and Fig. 2 below.

[0105] Step-a: On the substrate 1 in which a silicon oxide film of a thickness of 0.5 microns is formed on a cleaned blue plate glass by a sputtering method, a pattern serving as a device electrode 5 and an inter-device electrode gap G is formed by photoresist (RD-2000N-41 manufactured by Hitachi Chemical Co. Ltd.), and Ti of a thickness of 50 Å and Ni of a thickness of 1000 Å are sequentially deposited by an evaporation vacuum method. The photoresist pattern is dissolved by organic solvent, and the Ni/Ti deposited film is lifted off. The inter-device electrode gap G is set to 3 microns, and thus the device electrodes 5 and 6 having the width W1 of 300 microns were formed (Fig. 2(a)).

[0106] Step-b: By a vacuum evaporation method, a Cr film 121 of a thickness of 1000 Å is deposited and patterned by the inter-device electrode gap G and a mask having an opening in the vicinity of inter-device electrode gap G, and organic Pd (ccp 4230 manufactured by OKUNO CHEMICAL INDUSTRIES CO., LTD.) is coated onto the Cr film 121 while rotating by a spinner. A thermal baking treatment was performed at a temperature

300 °C for 10 minutes. A film thickness of the thin film 2 for forming the electron emission portion formed in the above described manner, which is formed of fine particles containing Pd as a major constituent, was 100 angstroms, and a sheet resistance value thereof was  $2 \times 10^4 \Omega/\square$ . The fine particle film described here is a film in which the plurality of fine particles are aggregated as described above, and in terms of its minute structure, the thin film 2 is a film in which fine particles are dispersively disposed individually, a film in which the fine particles are adjacent to each other, or a film in which the fine particles are superposed (including an island shape). Diameters of the fine particles are diameters of fine particles of shapes that can be recognized in said state.

[0107] Step-c: The Cr film and the thin film 2 for forming the electron emission portion after baking were etched by acid etchant, thus forming a desired pattern. The device electrodes 5 and 6, the thin film 2 for forming the electron emission portion and the like were formed on the substrate 1 by the above described steps (Fig. 2 (b)).

[0108] Step-d: Next, the assembly was set in the measurement evaluation apparatus of Fig. 3, and air is discharged therefrom by a vacuum pump. After a vacuum of  $2 \times 10^{-5}$  Torr was obtained, an electrifying treatment (forming treatment) was performed, while applying a voltage between the device electrodes 5 and 6 of the four devices by the power source 31 for applying the device voltage  $V_f$  to the devices. The voltage waveform of the forming treatment is shown in Fig. 4(b).

[0109] In Fig. 4(b), T1 and T2 represent the pulse width of the voltage waveform and the pulse interval thereof, and in this embodiment T1 is set to 1 millisecond and T2 is set to 10 milliseconds. A peak value (peak voltage in the forming treatment) of the rectangular wave is boosted in 0.1 V step, and the forming treatment was performed. Moreover, during the forming treatment, a resistance measurement pulse with a volt of 0.1 V was inserted in T2, and the resistance was measured. The forming treatment was terminated when the measurement value in the resistance measurement pulse becomes equal to about 1 M ohm or more, and, at the same time, an application of the voltage to the device was finished. The forming voltages  $V_{form}$  of the respective devices were 5.1 V, 5.0 V, 5.0 V, 5.1 V and 5.15 V.

[0110] Step-e: Subsequently, for the four devices that have been subjected to

the forming treatment, two sets of two devices were subjected to the activation treatment, respectively, with rectangular waves having peak values of 4 V and 14 V, shown in Fig. 4(b). The device sample that has been subjected the activation treatment with 4 V, that is, the low resistance activation treatment, shall be called a device A, and the device sample that has been subjected the activation treatment with 14 V, that is, the high resistance activation treatment, shall be called a device B.

[0111] During the activation treatment, as described above, the pulse voltage was applied between the device electrodes in the measurement evaluation apparatus of Fig. 3 while measuring the device current  $I_f$  and the emitted current  $I_e$ . At this time, a vacuum in the measurement evaluation apparatus of Fig. 3 was  $1.5 \times 10^{-5}$  Torr. The activation treatment was terminated after the elapse about 30 minutes.

[0112] In the above described manner, the electron emission portion 3 was formed, and thus the electron emission device was prepared

[0113] To grasp the characteristic and form of the surface conduction type electron emission device prepared according to the above described steps, as to each one of the above described devices A and B, the electron emission characteristic of each one was measured using the foregoing measurement evaluation apparatus of Fig. 3. Remaining each one thereof is observed with an electron microscope.

[0114] Note that the distance between the anode electrode and the electron emission device was set to 4 mm, the voltage of the anode electrode was set to 1 kV, and the vacuum in the vacuum apparatus during the electron emission characteristic measurement was set to  $1 \times 10^{-6}$  Torr. As to both of the devices A and B, the device voltage of 14 V was applied between the electrodes 5 and 6, and the device current  $I_f$  and the emitted current  $I_e$  were measured at this time. In the device A, the device current  $I_f$  of about 10 mA flowed immediately after starting the measurement, and gradually decreased. Accompanied with this, the emitted current  $I_e$  was observed. On the other hand, in the device B, the stable device current  $I_f$  and emitted current  $I_e$  were observed from an early stage of the measurement, and, when the device voltage was 14 V, the device current  $I_f$  was 2.0 mA and the emitted current  $I_e$  was 1.0  $\mu$ A. The electron emission efficiency  $\eta = I_e/I_f \times 100$  (%) was 0.05 %. From the above, the device A showed a very large and

unstable device current  $I_f$  in the early stage of the measurement. On the other hand, the device B is proved to be an electron emission device which is stable and shows a good efficiency  $\eta$  from the early stage of the measurement.

[0115] Moreover, with the device B, the vacuum was restored to  $5 \times 10^{-5}$ , and when the device current  $I_f$  and the emitted current  $I_e$  were measured while sweeping the voltage for the device with a triangular wave of about 0.005 Hz, the characteristics shown by the broken lines in Fig. 7 were showed. As shown in Fig. 7, the device current  $I_f$  monotonously increases up to the vicinity of about 5 V, and then shows the voltage control type negative resistance. At this time, a voltage (called VP) at which the device current  $I_f$  shows the maximum value is 5 V. Furthermore, for a voltage of 10 V or more, the device current  $I_f$  was about 1 mA equal to one fifth to sixth of the maximum device current  $I_f$ . The forms of the devices A and B observed by the electron microscope are the same as those shown in Figs. 6(a) and 6(b). From (B) of Fig. 6, in the device A, it is proved that many covering films (sediment) 61 are formed on a part of the degenerated portion 3 of the thin film (electrically conductive film) 4 between the device electrodes. On the other hand, in the device B, from Fig. 6(a), depending on the application direction of the voltage to the device during the activation treatment, the covering film (sediment) was formed mainly on a region from a part of the degenerated portion 3 to the electrically conductive film 4 on the high potential electrode 5 side. Moreover, when the observation was made by a high magnification FESEM (abbreviation of a secondary electron microscope), this covering film seemed to be formed around the metal fine particles and between the fine particles.

[0116] Note that when the observation was performed by a TEM (transmission electron microscope) Raman, a carbon covering film formed of graphite and amorphous carbon was observed.

[0117] Based on these observation, it is considered that since the device A was activated at a voltage of  $V_p$  or less showing the foregoing voltage control type negative resistance, much carbon was formed from the device B in a part of the degenerated portion of the thin film generated by the forming treatment, a very large device current flowed, the carbon covering film formed between the high and low potential sides of the thin film degenerat-

ed portion acts as a current path with the measurement voltage, the device current several times as much as that of the device B flowed, and the device current changed from the initial stage of the driving.

[0118] On the other hand, in the device B for which the high resistance activation treatment was performed, the device B was activated at a voltage of  $V_p$  or more showing the foregoing voltage control type negative resistance. Though the carbon covering film was formed on a part of the degenerated portion similarly to the device A, it is considered that there are more electrically cut portions in a part of the carbon covering film than in the device A. Accordingly, it is considered that a stable current was generated from the initial stage of the driving.

[0119] As described above, by the high resistance activation treatment, the device current  $I_f$  and the emitted current  $I_e$  were stabilized and the high efficiency electron emission device was prepared.

[0120] (Embodiment 2) This embodiment is an example of an image formation apparatus in which many surface conduction type electron emission devices are arranged in a simple matrix style.

[0121] A plan view of a part of an electron source is shown in Fig. 13. Furthermore, a A-A' section view in Fig. 13 is shown in Fig. 14. Note that constituent components denoted by the same reference numerals as those in Figs. 13, 14, 15 and 16 represent the same constituent components. Here, reference numerals 1 denotes a substrate; 82, X-direction wirings (referred to as lower wirings) corresponding to  $D_{xm}$  of Fig. 8; 83, Y-direction wirings (referred to as upper wirings) corresponding to  $D_{yn}$  of Fig. 8; 4, a thin film including a electron emission portion; 5 and 6, a device electrode; 141, an interlayer insulating layer; and 142, a contact hole for electrically connecting the device electrode 5 and the lower wirings 82.

[0122] Next, a manufacturing method will be concretely described by Fig. 15 and Fig. 16 in the order of steps.

[0123] Step-a: On the substrate 1 in which a silicon oxide film of a thickness of 0.5 microns is formed on a cleaned blue plate glass by a sputtering method, Cr of a thickness of 50 angstroms and Au of a thickness of 6000 angstroms are sequentially layered by a vacuum evaporation method, and then photoresist (AZ1370 manufactured by Hoechst Japan Limited) was coated thereonto while rotating by a spinner. The photoresist is baked, and

thereafter, the photomask image is exposed and developed, and a resist pattern of the lower wirings 82 is formed. The Au/Cr deposit film having a desired shape is wet-etched, and the lower wirings 82 are formed (Fig. 15(a)).

[0124] Step-b: Next, the interlayer insulating layer 141 formed of a silicon oxide film having a thickness of 1.0 micron is deposited by a RF sputtering method (Fig. 15(b)).

[0125] Step-c: A photoresist pattern for forming the contact hole 142 in the silicon oxide film that has been deposited in the foregoing step is formed, and the interlayer insulating layer 141 is etched using the pattern as a mask, thus forming the contact hole 142. The etching was performed according to a RIE (Reactive Ion Etching) method using  $\text{CF}_4$  gas and  $\text{H}_2$  gas (Fig. 15(c)).

[0126] Step-d: Thereafter, a pattern serving as a device electrode 5 and an inter-device electrode gap G is formed by photoresist (RD-2000N-41 manufactured by Hitachi Chemical Co. Ltd.), and Ti of a thickness of 50 angstroms and Ni of a thickness of 1000 angstroms are sequentially deposited by an evaporation vacuum method. The photoresist pattern is dissolved by organic solvent, and the Ni/Ti deposited film is lifted off. The inter-device electrode gap G is set to 3 microns, and the device electrodes 5 and 6 having the width W1 of 300 microns were formed (Fig. 15(d)).

[0127] Step-e: After a photoresist pattern of the upper wiring 83 is formed on the device electrodes 5 and 6, Ti having a thickness of 50 angstroms and Au having a thickness of 5000 angstroms are sequentially deposited by a vacuum evaporation, and an unnecessary portion is removed by lifting-off, thus forming the upper wiring 84 having a desired shape (Fig. 16(e)).

[0128] Step-f: A Cr film 151 having a thickness of 1000 angstroms is deposited by the vacuum evaporation, and patterned. Organic Pd (ccp 4230 manufactured by OKUNO CHEMICAL INDUSTRIES CO., LTD.) is coated thereonto by a spinner. A thermal baking treatment was performed at a temperature 300 °C for 10 minutes. A film thickness of the thin film 2 for forming the electron emission portion formed in the above described manner, which is formed of fine particles containing Pd as a major constituent, was 85 angstroms, and a sheet resistance value thereof was  $3.9 \times 10^4 \Omega/\square$ . The fine particle film described here is a film in which the plurality of fine



particles are aggregated as described above, and in terms of its minute structure, the thin film 2 is a film in which fine particles are dispersively disposed individually, a film in which the fine particles are adjacent to each other, or a film in which the fine particles are superposed (including an island shape). Diameters of the fine particles are diameters of fine particles of shapes that can be recognized in said state (Fig. 16(f)).

[0129] Step-g: The Cr film 151 and the thin film 2 for forming the electron emission portion after baking were etched by acid etchant, thus forming a desired pattern (Fig. 16(g)).

[0130] Step-h: A pattern so as to coat resist on a region other than the contact hole 142 was formed, and Ti having a thickness of 50 angstroms and Au having a thickness of 5000 angstroms were sequentially deposited by a vacuum evaporation. By removing an unnecessary portion by lifting-off, the contact hole 142 was buried (Fig. 16(h)).

[0131] By the foregoing steps, the lower wirings 82, the interlayer insulating layer 141, the upper wirings 83, the device electrodes 5 and 6 and the thin film 2 for forming the electron emission portion were formed on the insulating substrate 1.

[0132] Next, using the electron source substrate prepared in the above described manner, an example constituting the electron source and the display device will be described using Fig. 9 and Fig. 10.

[0133] After the substrate 1 on which the device was prepared in the above described manner was fixed onto the rear plate 91, the face plate 96, which is constituted by forming the phosphor film 94 and the metal back 95 on an inner surface of the glass substrate 93, was disposed above the substrate 1 with a space of 5 mm via the supporting frame 92, and frit glass was coated onto a junction portion of the face plate 96, the supporting frame 92 and the rear plate 91. Baking was performed in the air or in nitrogen atmosphere for 400 °C to 500 °C for 10 minutes or more, thus sealing the junction portion. Moreover, fixing of the substrate 1 to the rear plate 91 was performed by the frit glass.

[0134] In this embodiment, reference numeral 84 of Fig. 9 is the electron emission device before the formation of the electron emission portion, which corresponds to for example, Fig. 2(b), and reference numerals 82 and 83 are device electrodes in the X and Y-directions, respectively.

[0135] The phosphor film 94 is formed of only phosphor in the case of monochrome, and in this embodiment adopted a stripe shape (Fig. 10(a)). A black stripe was previously formed, and the phosphors having respective colors were coated onto gap portions thereof, thus forming the phosphor film 94. A material containing graphite as a major constituent, which has been usually used widely, was used as the material of the black stripe. A method for coating the phosphor onto the glass substrate 93 used a slurry method.

[0136] Moreover, the metal back 95 is usually provided on the inner surface of the phosphor film 94. The metal back was prepared in such manner that after the formation of the phosphor film, a smoothing treatment for the inner surface of the phosphor film, which is usually called a filming, was performed, and then Al was deposited in vacuum.

[0137] In the face plate 96, a transparent electrode (not shown) may be provided in the outer surface of the phosphor film 94 to further increase electrical conductivity of the phosphor film 94. In this embodiment, the transparent electrode was omitted because a sufficient electrical conductivity can be obtained only by the metal back.

[0138] When the foregoing sealing was performed, since the phosphors of each color and the electron emission devices had to correspond to each other in the case of color, positioning was performed sufficiently.

[0139] The atmosphere in the glass container completed in the above described manner was exhausted by a vacuum pump through an air exhaustion pipe (not shown), and after a sufficient vacuum was obtained, a voltage was applied between the electrodes 5 and 6 of the electron emission device 74 through the container external terminals Dxo1 to Dxom and Doy1 to Doyn, and the thin film 2 for forming the electron emission portion was subjected to the forming treatment. The voltage waveforms of the forming treatment is the same as that of Fig. 4(b).

[0140] In this embodiment, T1 was set to 1 millisecond, and T2 was set to 10 milliseconds, and the forming treatment was performed at a vacuum of about  $1 \times 10^{-5}$  Torr.

[0141] The electron emission portion 3 prepared in such manner got a state where fine particles containing palladium elements are dispersively arranged, and average diameters of the fine particles were 30 angstroms.

[0142] Next, the high resistance activation treatment was performed with the same rectangular wave as that of the forming and a peak value of 14 V at a vacuum of  $2 \times 10^{-5}$  Torr, while measuring the device current  $I_f$  and the emitted current  $I_e$ .

[0143] The forming treatment and the activation treatment were performed, and the electron emission portion 3 was formed, thus forming the electron emission device 84.

[0144] Next, an air exhaustion was performed to about a vacuum of  $10^{-6}$  Torr, and an air exhaustion pipe (not shown) was heated by a gas burner, thus sealing the envelope.

[0145] Finally, to maintain the vacuum after sealing, a getter treatment was performed by a high frequency heating method.

[0146] In the image display device of the present invention completed in the above described manner, a scanning signal and a modulating signal were applied to each electron emission device through the container external terminals Dx1 to Dxm, and Dy1 to Dyn by signal generating means (not shown), and thus electrons were emitted therefrom. A voltage of 5 kV or more was applied to the metal back 95 through the high voltage terminal Hv, thus accelerating electron beam so as to collide against the phosphor film 99, and the phosphor film 99 was excited and allowed to emit light, thus displaying an image. Moreover, both of the device current  $I_f$  and the emitted current  $I_e$  showed the solid lines of Fig. 7, and were stable from the initial stage of driving. In addition, it was the emitted current that was capable of coping with luminance of 100 fL to 150 fL required for televisions.

[0147] (Embodiment 3) Fig. 17 is a view for showing an example of a display device which is constituted so as to be capable of displaying image information on a display panel using the surface conduction type electron emission device described above, which is supplied from various kinds of image information sources such as TV broadcasts. In Fig. 17, reference numeral 17100 denotes a display panel; 17101, a driving circuit of the display panel; 17102, a display controller; 17103, a multiplexer; 17104, a decoder; 17105, an I/O interface circuit; 17106, a CPU; 17107, an image generating circuit; 17108, 17109 and 17110, an image memory interface circuit; 17111, an image input interface circuit; 17112 and 17113, a TV signal receiving circuit; and 17114, an input section. Note that when signals including both of

video information and voice information as television signals are received, the present display device performs reproduction of voice as well as displaying video information, however, descriptions for a speaker and circuit concerning receiving, separating, reproducing and storing voice information having no direct relations with the features of the present invention are omitted.

[0148] Functions of each portion will be described along a flow of an image signal below.

[0149] First, the TV signal receiving circuit 17113 is a circuit for receiving a TV image signal transmitted by use of a radio transmission system such as radio wave and spatial optical communication. A method of the TV signals received is not especially limited. Various kinds of forms such as a NTSC method, a PAL method and SECAM method may be adopted. The TV signals composed of more scanning lines than these, for example, so called a high quality TV including a MUSE method, are signal sources suitable for making use of the foregoing display panel suitable for a large area and a large number of pixels. The TV signals received by the TV signal receiving circuit 17113 are output to the decoder 17104.

[0150] Moreover, the TV signal receiving circuit 17112 is a circuit for receiving TV image signals transmitted by use of a cable transmission system such as a coaxial cable and an optical fiber. Similarly to the foregoing TV signal receiving circuit 17113, a method of the TV signals received is not especially limited, and the TV signals received by this circuit are output to the decoder 17104.

[0151] Moreover, the image input interface circuit 17111 is a circuit for fetching in image signals supplied from an image input device such as a TV camera and an image reading-out scanner, and the fetched image signals are output to the decoder 17104.

[0152] The image memory interface circuit 17110 is a circuit for fetching in image signals stored in a video tape recorder (hereinafter abbreviated to as VTR), and the fetched image signals are output to the decoder 17104.

[0153] Furthermore, the image memory interface circuit 17109 is a circuit for fetching in image signals stored in a video disc, and the fetched image signals are output to the decoder 17104.

[0154] The image memory interface circuit 17108 is a circuit for fetching in

image signals from a device such as a still image disc, which stores still image data, and the fetched still image data is input to the decoder 17104. Furthermore, the I/O interface circuit 17105 is a circuit for connecting a display device to an external computer, a computer network, and an output device such as a printer. The I/O interface circuit 17104 performs, as a matter of course, input/output for image data, and character/graphical information, and can, in some cases, perform input/output for a control signal and numerical data between a CPU 17106 which the present display device provides and the outside.

[0155] The image generating circuit 17107 is a circuit for generating display image data based on image data and character/graphical information input from the outside via the foregoing I/O interface circuit 17105 and based on image data and character/graphical information output from the CPU 17106. Within this circuit, incorporated are circuits necessary for generating images, such as a rewritable memory for storing, for example, image data and characters/graphical information, a read-only memory in which an image pattern corresponding to a character code is stored, and a processor for performing an image processing.

[0156] The display image data generated by this circuit is output to the decoder 17104, and, in some cases, can be output to an external computer network and a printer via the foregoing I/O interface circuit 17105.

[0157] The CPU 17106 performs mainly an operation control of the present display device and operations concerning generation, selection and editing of the display image.

[0158] The CPU 17106 outputs, for example, a control signal to the multiplexer, and suitably selects and combines an image signal to be displayed on the display panel. Furthermore, at this time, the CPU 17106 generates a control signal to the display panel controller 17102 in accordance with the image signal to be displayed, and controls suitably an operation of the display device such as an image display frequency, a scanning method (for example, interlace or non-interlace), and the number of scanning lines on one screen.

[0159] Moreover, the CPU directly outputs image data and character/graphical information to the foregoing image generating circuit 17107, or accesses an external computer and a memory via the foregoing I/O inter-

face circuit 17105 to input the image data and the character/graphical information. Note that the CPU 17106 may be concerned with operations for other objects than these. For example, the CPU 17106 may concern directly a function to generate and process information as a personal computer and a word processor. Alternatively, as described above, the CPU 17106 is connected to the external computer network via the I/O interface circuit 17105, and may perform an operation such as a numerical calculation cooperatively with external equipment.

[0160] Moreover, the input section 17114 is for inputting an instruction, a program or data to the foregoing CPU 17106 by users, and it is possible to use various kinds of input equipment including as a joystick, a barcode reader and a voice recognition device in addition to a keyboard and a mouse.

[0161] Furthermore, the decoder 17104 is a circuit for inversely converting various kinds of image signals, which are input from the image generating signal 17107 and the TV signal receiving circuit 17113, to three primary color signals, luminance signals, I signals and Q signals. As shown by the dotted lines in Fig. 17, the decoder 17104 should provide an image memory. This is because the TV signals requiring the image memory in inversely converting are used in the MUSE method or like.

[0162] By providing the image memory, the display of the still image is made to be easier, or advantages that image processings such as thinning, an interpolation, a magnification, a reduction and a synthesis of an image can be performed easier by cooperating with the foregoing image generating circuit 17107 and the CPU 17106 are created.

[0163] Moreover, the multiplexer 17103 suitably selects the display image based on the control signal input from the foregoing CPU 17106. Specifically, the multiplexer 17103 selects a desired image signal among the image signals which were input from the decoder 17104 and were inversely converted, and outputs it to the driving circuit 17101. In this case, by switching and selecting the image signal within one screen display time, it is possible to divide one screen into a plurality of areas and display different images on the respective areas, like so called a multi-screen television.

[0164] The display panel controller 17102 is a circuit for controlling an operation of the driving circuit 17101 based on the control signal input from the foregoing CPU 17106.

[0165] With reference to a basic operation of the display panel, a signal for controlling an operation sequence of, for example, a driving power source (not shown) of the display panel is input to the driving circuit 17101. Moreover, with reference to a driving method of the display panel, a signal for controlling, for example, a screen display frequency and a scanning method (for example, interlace or non-interlace) is output to the driving circuit 17101.

[0166] A control signal concerning an adjustment of an image such as luminance, contrast, color tone and sharpness of the image is, in some cases, output to the driving circuit 17101.

[0167] Furthermore, the driving circuit 17101 is a circuit for generating the driving signal applied to the display panel 17100, and operates based on the image signal input from the foregoing multiplexer 17103 and the control signal input from the foregoing display panel controller 17102.

[0168] As above, the function of each portion was described. With the constitution exemplified in Fig. 17, it is possible to display the image information input from various kinds of image information source on the display panel 17100 in the present display device. Specifically, after various kinds of image signals in the television broadcast and like are inversely converted in the decoder 17104, the image signals inversely converted are suitably selected in the multiplexer 17103, and are input to the driving circuit 17101. On the other hand, the display controller 17102 generates the control signal for controlling an operation of the driving circuit 17101 in response to the image signal to be displayed. The driving circuit 17101 applies the driving signal to the display panel 17100 based on the foregoing image signal and the control signal. Thus, the image is displayed on the display panel 17100. A series of these operations are controlled overall by the CPU 17106.

[0169] The present display device displays the image selected from the image memory incorporated in the foregoing decoder 17104, the image generating circuit 17107, and information. In addition to this, the present display device can perform image processings including magnification, reduction, rotation, movement, edge emphasis, thinning, interpolation, color conversion, and image aspect ratio conversion, and image edition including synthesis, erasure, connection, replacement and insertion. In this em-

bodiment, though no description was made in the explanation of this embodiment, an exclusive-use circuit for performing a processing and an edition for voice information may be provided similarly to the foregoing image processing and the image edition.

[0170] Accordingly, the present display device can have functions of a display equipment of a television broadcast, a terminal equipment of a television conference, an image edition equipment for dealing with a still image and a moving picture, an terminal device of a computer, an office terminal equipment including a word processor, and a game machine by itself. The present display device shows a very wide application range in industrial use and in household use.

[0171] Fig. 17 merely shows an example of a constitution of the display device using a display panel in which an electron beam source is adopted as a surface conduction type electron emission device. As a matter of course, the constitution of the display device is not limited to this. For example, among the constituent components of Fig. 17, circuits relating to functions which are unnecessary in some applications may be omitted. Moreover, on the contrary, constituent components may be added depending on intended purposes. For example, in the case where the present display device is applied to a television telephone, it is preferable that a transmitter/receiver circuit including a television camera, a voice microphone, an illuminator and a modem is added to the constituent component.

[0172] In the present display device, since the display panel especially using the surface conduction type electron emission device as the electron beam source can be easily made to be thin, it is possible to make the depth of the display device small. In addition, since the display panel using the surface conduction type electron emission device as the electron beam source can easily be made so as to have a large screen easily and shows high luminance and excellent field angle characteristic, the present display device can display an image abound in realistic sensations and stringency with a good visibility.

[0173] (Embodiment 4) This embodiment is an example of an image formation apparatus having many surface conduction type electron emission devices and the control electrode (gird).

[0174] A manufacturing method of the image formation apparatus of this embodiment was prepared by almost the same method as that of the em-



bodiment 2, and descriptions for it are made in detail.

[0175] First, made are descriptions for an electron source in which many surface conduction type electron emission devices are provided on a substrate and for an embodiment of a display device which applies the electron source. Fig. 19 and Fig. 20 are schematic views for explaining two examples of the electron source in which many surface conduction type electron emission devices are arranged.

[0176] First, in Fig. 19, reference symbol S denotes an insulating substrate using glass as its material, reference symbol ES surrounded by a dotted line denotes each of surface conduction type electron emission devices, and reference symbols E1 to E10 denote wiring electrodes for wiring the foregoing surface conduction type electron emission devices. The surface conduction type electron emission devices are formed in columns along the X-direction on the substrate (hereinafter referred to as device columns). The surface conduction type electron emission devices constituting the device columns are in common wired in parallel electrically by wiring electrodes of both sides sandwiching them. For example, the first column is wired by the wiring electrodes E1 and E2 on both sides thereof.

[0177] The electron source of this embodiment can drive the device columns independently from each other by applying a suitable driving voltage between the wiring electrodes. Specifically, a suitable voltage exceeding an electron emission threshold value should be applied to device columns desired to emit an electron beam, and a suitable voltage (for example, 0 [V]) below the electron emission threshold value should be applied to device columns emitting no electron beam. Note that in the below explanation, the suitable voltage exceeding the electron emission threshold value is referred to as VE [V].

[0178] Next, another example of the electron source is shown in Fig. 20. Reference symbol S denotes an insulating substrate using, for example, glass as its material, ES surrounded by a dotted line denotes a surface conduction type electron emission device provided on the substrate S and E'1 to E'6 denote wiring electrodes for wiring in common the foregoing surface conduction type electron emission devices. Similarly to the foregoing example of Fig. 19, also in this embodiment, the surface conduction type electron emission devices are formed in column along the X-direction, and

the surface conduction type electron emission device of the device columns are in common wired electrically in parallel by the wiring electrodes. Moreover, as the wiring electrode E'2 serves also as the common wirings of the first and second device columns on one side, one wiring electrode serves as the common electrode on the adjacent side of the device columns in this embodiment. The electron source of this embodiment has an advantage that an arrangement interval arranged in the Y-direction can be made to be small compared to the foregoing column of Fig. 19, in the case where the surface conduction type electron emission devices and the wiring electrodes, both having the same shape, are used.

[0179] The electron source of this embodiment can drive the device columns independently from each other, by applying a suitable driving voltage between the wiring electrodes. Specifically, VE [V] should be applied to electron emission device columns desired to emit electrons, and, for example, 0 [V] should be applied to device columns which are not allowed to emit electrons. For example, when only the third column is desired to be driven, a potential of 0 [V] is applied to the wiring electrodes of E'1 to E'3, and a potential of VE [V] is applied to the wiring electrodes of E'4 to E'6. As a result, a voltage equal to  $VE - 0 = VE$  [V] is applied to the third device column, and a voltage of 0 [V] including  $0 - 0 = 0$  [V] or  $VE - VE = 0$  [V] is applied to other device columns. Moreover, when the second and fifth columns are simultaneously driven, the potential of 0 [V] should be applied to the wiring electrodes E' 1, E'2 and E'6, and the potential of VE [V] should be applied to the wiring electrodes E'3 and E'5. As described above, also in this embodiment, it is possible to drive selectively any device column.

[0180] In the electron source of Fig. 19 and Fig. 20, though the twelve surface conduction type electron emission devices are arranged per one column in the X-direction for convenience of illustration, the number of devices is not limited to this, and more surface conduction type electron emission devices may be arranged. Moreover, though the five device columns are arranged in the Y-direction, the number of device columns is not limited to this, and more device columns may be arranged.

[0181] Next, a flat plate type CRT using the foregoing electron source will be explained with examples.

[0182] Fig. 21 is a view showing a panel structure of the flat plate type CRT

comprising the foregoing electron source of Fig. 17. In Fig. 17, reference symbol VC denotes a vacuum container formed of glass, and reference symbol FP that is a part of the vacuum container shows a face plate on the display plane side. In an inner surface of the face plate FP, a transparent electrode using, for example, ITO as its material is formed, and, on the transparent electrode, red, green and blue phosphors are painted in mosaic shape or stripe shape. To prevent complexity of the drawing, a transparent electrode and the phosphors are denoted by reference symbol PH in Fig. 21. A known black matrix or a known black stripe may be provided between the phosphors, each having respectively red, green and blue color in the field of the CRT. Moreover, a known metal back layer can be also formed on each phosphor. The foregoing transparent electrode is electrically connected to the outside of the vacuum container via the terminal EV so that an accelerated voltage of the electron beam can be applied.

[0183] Moreover, reference symbol S denotes a substrate of an electron source fixed to the bottom of the vacuum container VC, and the surface conduction type electron emission device is formed on the substrate as described in Fig. 19. In this embodiment, the 200 device columns, having the 200 surface conduction type electron emission devices wired in parallel per a column, are provided. Two wiring electrodes of each device column are alternately connected to the electrode terminals Dp1 to Dp200 and Dm1 to Dm200 provided on the panel side plane on both sides, and designed so that a driving electric signal is applied from the outside of the vacuum container.

[0184] Stripe-shaped grid electrodes GR are provided between the substrate S and the face plate FP. The grid electrodes GR are provided by 200 independently so as to be perpendicular to the foregoing device columns (specifically, in the Y-direction), and an opening Gh is provided in each grid electrode GR so as to allow the electron beam to pass therethrough. Each opening Gh is a circular shape and corresponds to corresponding one of the surface conduction type electron emission devices. In some cases, many mesh-shaped openings are provided. Each grid electrode is connected to the outside of the vacuum container electrically by the electrode terminals G1 to G200. The grid electrode is not always needed to have the shape and be disposed as shown in Fig. 21, as long as the grid electrode can modulate

the electron beam emitted from the surface conduction type electron emission device, and the grid electrode may be provided, for example, around the surface conduction type electron emission device or in the vicinity of it.

[0185] In the present display panel, the device columns of the surface conduction type electron emission devices and the grid electrodes compose  $200 \times 200$  XY matrix. Accordingly, by applying a modulating signal for one line of an image to the grid electrode column in synchronization with driving (scanning) the device column sequentially one by one, irradiation of each electron beam to the phosphor is controlled and an image is displayed one line by one line.

[0186] Next, Fig. 22 is a block diagram of an electric circuit for driving the foregoing display panel of Fig. 21. In Fig. 22, reference numeral 1000 denoted the display panel of Fig. 21; 1001, a decode circuit for decoding a complex image signal input from the outside; 1002, a serial/parallel conversion circuit; 1003, a line memory; 1004, a modulation signal generating circuit; 1005, a timing control circuit; and 1006, a scanning signal generating circuit. Electrode terminals of the display panel 1000 are connected to the electrical circuit, and the terminal EV is connected to a voltage source HV for generating an acceleration voltage of 10 [kV], and terminals G1 to G20 are connected to the modulation signal generating circuit 1004. Terminals Dp1 to Dp200 are connected to the scanning signal generating circuit 1006, and terminals Dm1 to Dm200 are connected to the ground.

[0187] Functions of each portion will be described below. First, the decode circuit 1001 is a circuit for decoding the complex image signal such as a NTSC television signal input from the outside, and separates a luminance signal component and a synchronous signal component from the complex image signal. The decode circuit 1001 outputs the former to the serial/parallel conversion circuit 1002 as a Data signal, and the latter to the timing control circuit 1005 as a Tsync signal. Specifically, the decode circuit 1001 arranges luminance for each color component RGB so as to match the color image arrangement of the display panel 1000, and output sequentially to the serial/parallel conversion circuit 1002. Moreover, the decode circuit 1001 extracts a vertical synchronization signal and a horizontal synchronization signal and outputs them to the timing control circuit 1005. The timing control circuit 1005 generates various kinds of timing control

signals for matching an operation timing of each portion with others, based on the foregoing synchronous signal Tsync. In other words, the timing control circuit 1005 outputs Tsp to the serial/parallel conversion circuit 1002, Tmry to the line memory 1003, Tmod to the modulation signal generating circuit 1004, and Tscan to the scanning signal generating circuit 1006.

[0188] The serial/parallel conversion circuit 1002 sequentially samples the luminance signal Data input from the decode circuit 1001 based on the timing signal Tsp input from the timing control circuit 1005, and outputs them as 200 parallel signals I1 to I200 to the line memory 1003. The timing control circuit 1005 outputs the writing timing control signal Tmry to the line memory 1003 when data for one line of the image is serially/parallelly converted. Upon receipt of the timing control signal Tmry, the line memory 1003 stores contents of the parallel signals I1 to I200, and outputs them as I'1 to I'200 to the modulation signal generating circuit 1004. This is stored until a subsequent writing timing control signal Tmry is input to the line memory.

[0189] The modulation signal generating circuit 1004 is a circuit for generating a modulation signal to be applied to the grid electrode of the display panel 1000, based on luminance data for one image line input from the line memory 1003, and simultaneously applies the modulation signal to the modulation signal terminals G1 to G200 in synchronization with the timing control signal Tmod generated by the timing control circuit 1005. A voltage modulation method in which the modulation signal changes a level of the voltage in accordance with luminance data is used, and a pulse width modulation method in which a length of a voltage pulse is changed in accordance with the luminance data may be used.

[0190] Moreover, the scanning signal generating circuit 1006 is a circuit for generating voltage pulses for suitably driving the device columns of the surface conduction type electron emission devices of the display panel 1000. The scanning signal generating circuit 1006 suitably switches switching circuits therein in accordance with the timing control signal Tscan generated by the timing control circuit 1005, and applies to the terminals Dp1 to Dp200 selectively either a suitable driving voltage VE [V] exceeding the threshold value of the surface conduction type electron emission device, emitted by a constant voltage source DV, or a ground level (specifically, 0

[V]).

[0191] By the above described circuits, drive signals are applied to the display panel 1000 at a timing shown in the timing chart of Fig. 23. Figs. 23(a) to 23(d) show a part of signals applied to the terminals Dp1 to Dp200 of the display panel from the scanning signal generating circuit 1006, and, as understood from the drawings, a voltage pulse of an amplitude VE [E] is sequentially applied to the terminals Dp1, Dp2, Dp3,...at every one line display time. On the other hand, since the terminals Dm1 to Dm100 are always connected to the ground level (0 [V]), the device columns are sequentially driven by the foregoing voltage pulses from the first columns, and an electron beam is sequentially output.

[0192] Moreover, a modulation signal for one line of an image is simultaneously applied to the terminals G1 to G200 from the modulation signal generating circuit 1004 at timings shown in Fig. 23(f) in dotted lines in synchronization with this. Also the modulation signal is sequentially switched in synchronization with switching the scanning signal, and an image for one screen is sequentially displayed. By repeating this continuously, a television moving picture can be displayed.

[0193] Hitherto, the flat plate type CRT comprising the electron source of Fig. 19 was described. Next, a flat plate type CRT comprising the foregoing electron source of Fig. 20 will be explained using Fig. 22.

[0194] The flat plate type CRT of Fig. 24 has a structure that the electron source of the flat plate type CRT of Fig. 21 is replaced with a type of Fig. 20. A  $200 \times 200$  XY matrix is constituted by the electron emission device columns and the grid electrodes. Since the surface conduction type electron emission devices of 200 columns are wired by the 201 wiring electrodes E1 to E201, the 201 electrode terminals Ex1 to Ex201 are provided in the vacuum container.

[0195] A driving circuit for driving the display panel 1008 is shown in Fig. 25, and the driving circuit is principally the same as the circuit of G4 other than scanning signal generating circuit 1007. The scanning signal generating circuit 1007 outputs selectively either a suitable driving voltage VE [V] exceeding the electron emission threshold value of the surface conduction type electron emission device, generated by the constant voltage source DV, or the ground level (0 [V]) to the terminals of the display panel, and its

timing is shown in the timing chart of Fig. 24. The display panel performs a display operation at timings shown in (a), and hence the driving signals shown in (b) to (e) are applied from the scanning signal generating circuit 1007 to the electrode terminals Ex1 to Ex4. Accordingly, the voltages shown in (f) to (h) are applied to the surface conduction type electron emission device columns, and the columns are sequentially driven one by one. In synchronization with this, the modulation signal is output from the modulation signal generating circuit 1004 at a timing shown in (i), and the image is displayed sequentially.

[0196] Also the image formation apparatus of this embodiment has the same effects as those of the embodiment 2.

[0197]

[Effects of the Invention] As described above, according to the present invention, by the activation treatment step of the electron emission device, a part of the electron emission portion is controllably covered with graphite, amorphous carbon or the covering film containing compound formed of them as a major constituent, so that the electron emission characteristic that has been unclear in vacuum can be controlled.

[0198] The activation treatment should include a step for covering a thin film containing carbon as a main constituent therein, and a step for applying a voltage equal to a voltage control type negative resistance characteristic region or more to a pair of electrodes of the electron emission device in vacuum, and the thin film containing carbon as a major constituent covers a area ranging from a part of the electron emission portion to the high potential side. Thus, the characteristic is more stable than that of the initial stage of driving of the electron emission device. The device current is small, and the high efficiency electron emission device can be prepared.

[0199] Moreover, the electron source emitting electrons in accordance with the input signal can be prepared stably and with a high yield. With an increase of efficiency, the cheap apparatus which consumes less power and reduces burden of the peripheral circuits can be provided.

[0200] In the image formation apparatus, the electron emission characteristic is stable and controllable and the efficiency is improved. For example, in the image formation apparatus using the phosphor as the image formation member, the image formation apparatus showing high luminance with

a low current and a high quality, for example, a color television, can be realized.

[Brief Description of the Drawings]

[Figure 1] Fig. 1 is a view showing a basic surface conduction type electron emission device according to the present invention.

[Figure 2] Fig. 2 is a view for explaining a basic manufacturing method of the surface conduction type electron emission device according to the present invention.

[Figure 3] Fig. 3 is a view of a measurement evaluation used for a characteristic evaluation of the surface conduction type electron emission device according to the present invention.

[Figure 4] Fig. 4 is a view showing an example of a voltage waveform in a forming treatment according to the present invention.

[Figure 5] Fig. 5 is a view showing a dependency of a device current and an emitted current of the surface conduction type electron emission device according to the present invention on an activation treatment time.

[Figure 6] Fig. 6 is a view showing a state change of the surface conduction type electron emission device according to the present invention by the activation treatment.

[Figure 7] Fig. 7 is a view showing a typical example of a relation among an emitted current, a device current and a device voltage of the surface conduction type electron emission device according to the present invention.

[Figure 8] Fig. 8 is a view showing a constitution of an electron source substrate according to the present invention.

[Figure 9] Fig. 9 is a view showing a basic constitution of an image formation apparatus according to the present invention.

[Figure 10] Fig. 10 is a view showing a phosphor film used in the image formation apparatus in Fig. 10.

[Figure 11] Fig. 11 is a view showing a surface conduction type electron emission device of an embodiment 1 of the present invention.

[Figure 12] Fig. 12 is a view showing a constitution of another embodiment of the basic surface conduction type electron emission device according to the present invention.

[Figure 13] Fig. 13 is a view partially showing a constitution of an electron source of an embodiment 2 according to the present invention.



[Figure 14] Fig. 14 is a section view taken along the line A-A' of Fig. 13.

[Figure 15] Fig. 15 is a section view for explaining a manufacturing steps of the electron source of the embodiment 2 according to the present invention.

[Figure 16] Fig. 16 is a section view for explaining a manufacturing steps of the electron source of the embodiment 2 according to the present invention.

[Figure 17] Fig. 17 is section views for explaining a display device of an embodiment 3 of the present invention.

[Figure 18] Fig. 18 is a view showing a constitution of a conventional surface conduction type electron emission device.

[Figure 19] Fig. 19 is a schematic constitutional view of an electron source substrate of an image formation apparatus of an embodiment 4 according to the present invention.

[Figure 20] Fig. 20 is a schematic constitutional view of an electron source substrate of an image formation apparatus of the embodiment 4 according to the present invention.

[Figure 21] Fig. 21 is a panel constitution view in the image formation apparatus of the embodiment 4 according to the present invention.

[Figure 22] Fig. 22 is a block diagram for explaining an electric circuit for driving the image formation apparatus of the embodiment 4 according to the present invention.

[Figure 23] Fig. 23 is a timing chart for explaining a drive of the image formation apparatus of the embodiment 4 according to the present invention.

[Figure 24] Fig. 24 is a panel constitution view in the image formation apparatus of the embodiment 4 according to the present invention.

[Figure 25] Fig. 25 is a block diagram for explaining an electric circuit for driving the image formation apparatus of the embodiment 4 according to the present invention.

[Figure 26] Fig. 26 is a timing chart for explaining a drive of the image formation apparatus of the embodiment 4 according to the present invention.

[Explanations of Reference Numerals]

1...substrate, 2...thin film for forming electron emission portion, 3...electron emission portion, 4...thin film including electron emission portion, 5 and 6...device electrode, 84 and 74...electron emission device, 82 and 83...wiring, 85...connection line, 91...rear plate, 92...supporting frame, 93...transparent substrate, 94...phosphor film, 95...metal back, 96...face

plate, 98...eneveloper, 141...interlayer insulating layer, and 142...contact hole.

Continued from the front page

(72) Inventor: Yoshikazu Sakano

CANON INC.

30-2, Shimomaruko 3-chome, Ohta-ku, Tokyo

Fig. 1

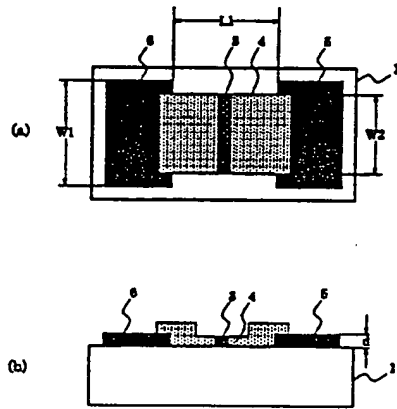


Fig. 2

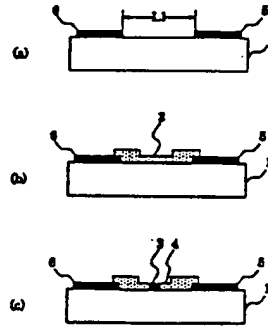


Fig. 4

Fig. 3

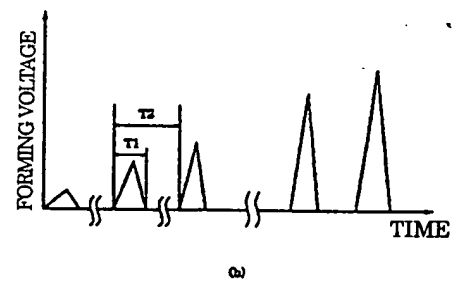
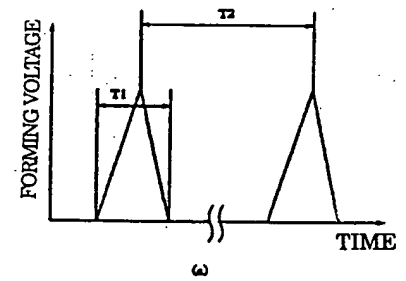
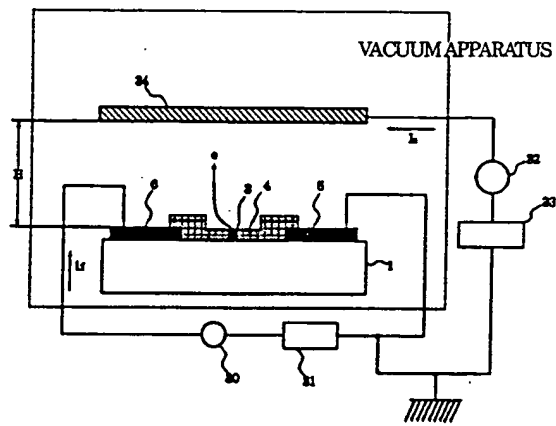


Fig. 5

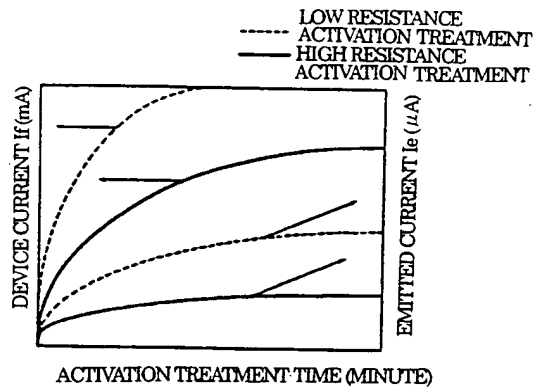


Fig. 6

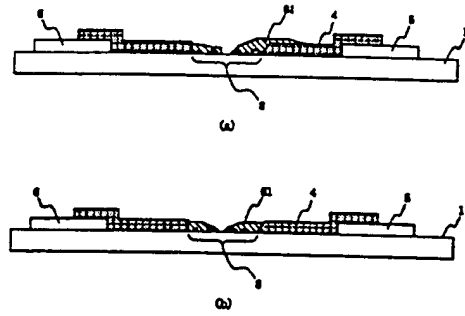


Fig. 7

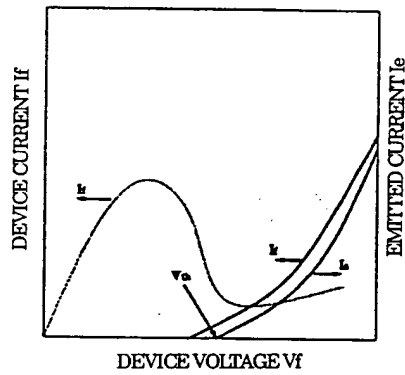


Fig. 8

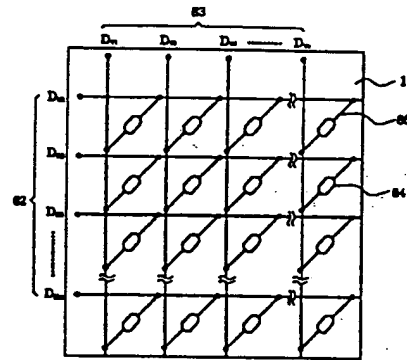


Fig. 9

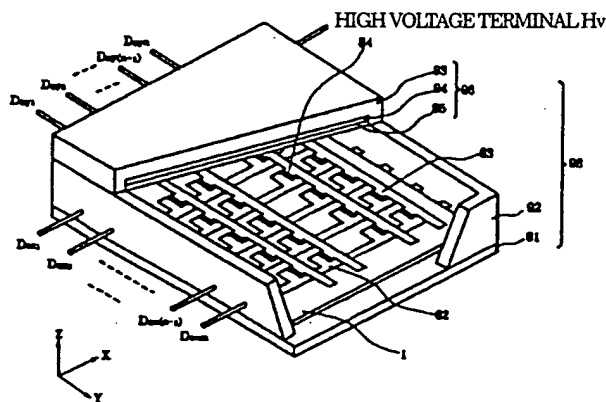


Fig. 11

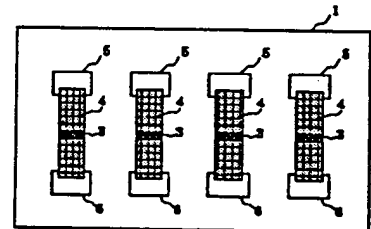


Fig. 12

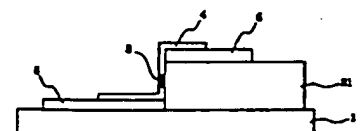


Fig. 10

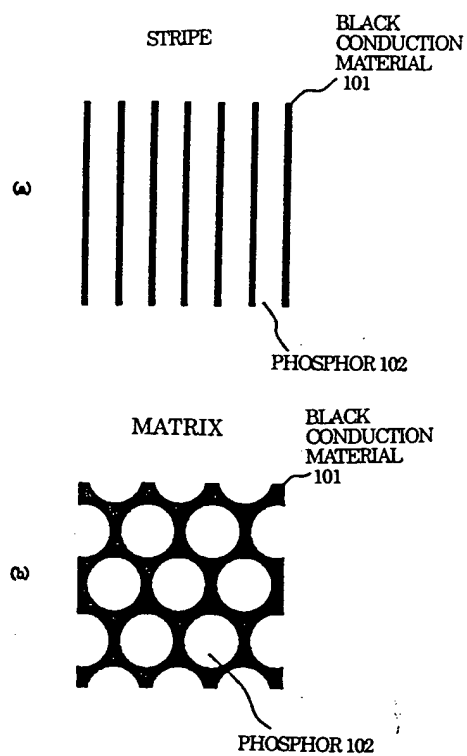


Fig. 13

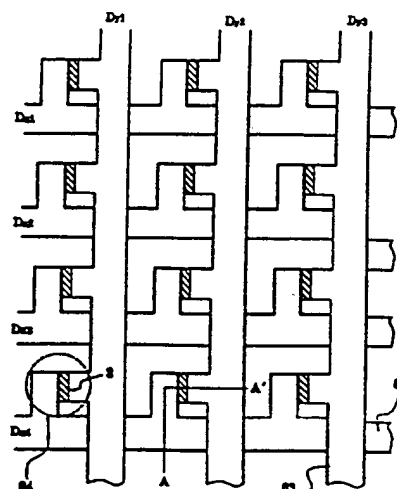


Fig. 15

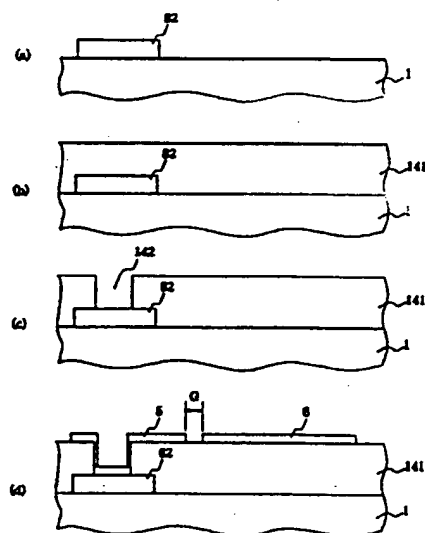


Fig. 14

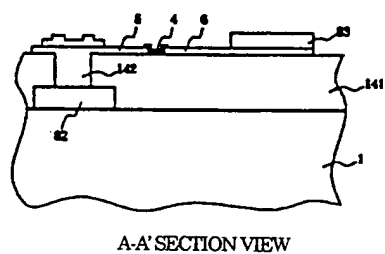


Fig. 16

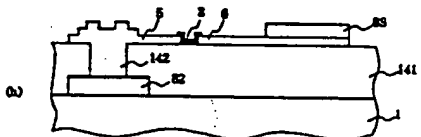
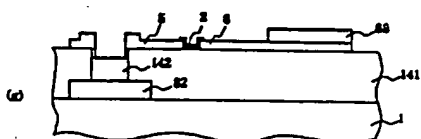
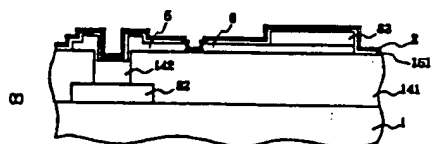
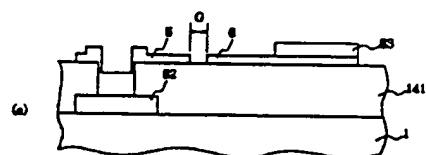


Fig. 18

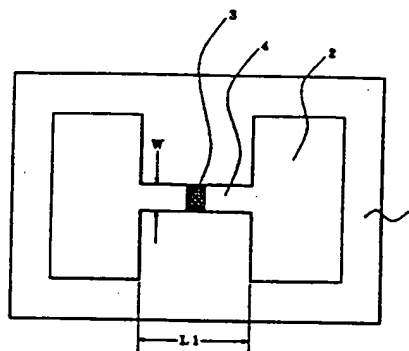


Fig. 20

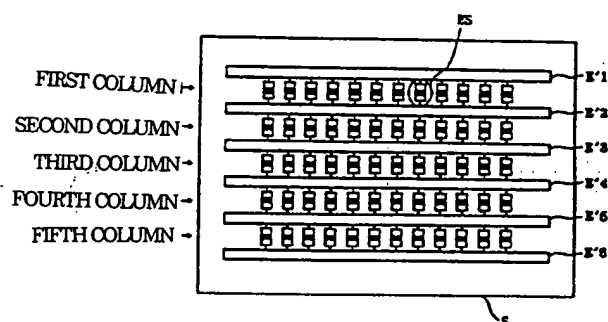


Fig. 19

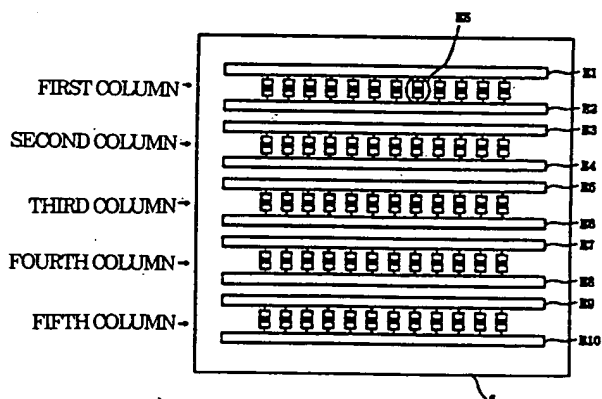


Fig. 17

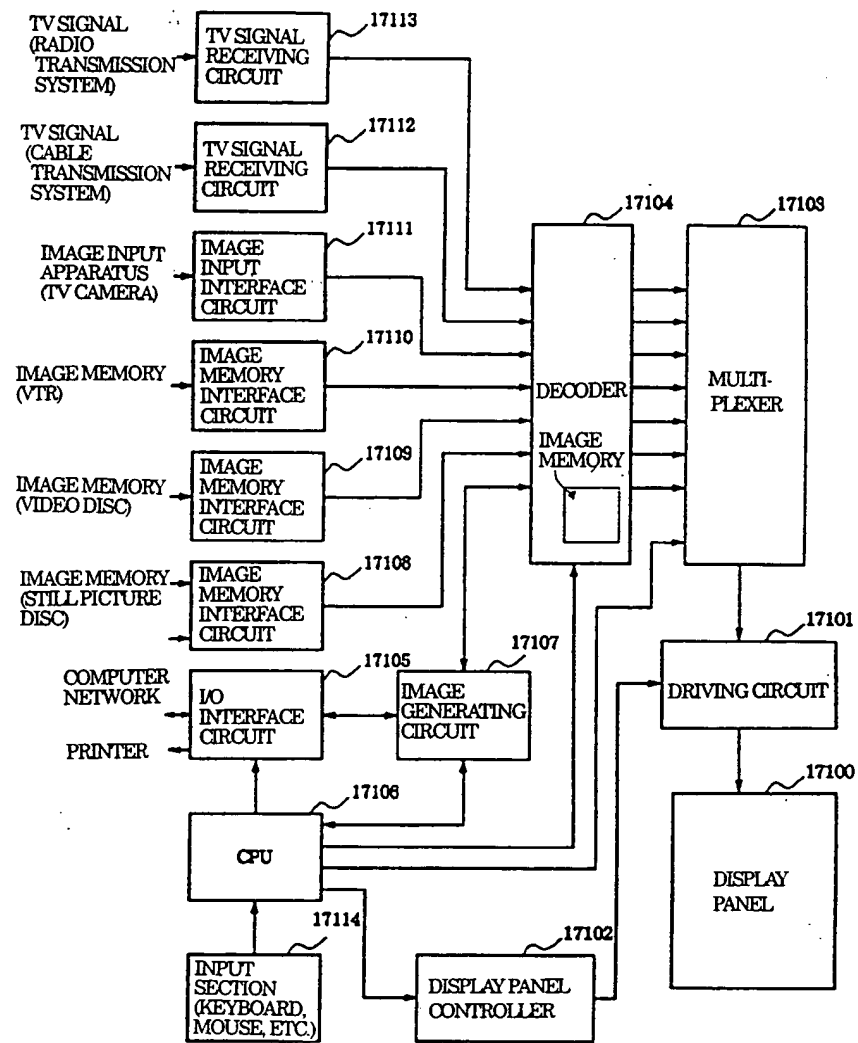


Fig. 21

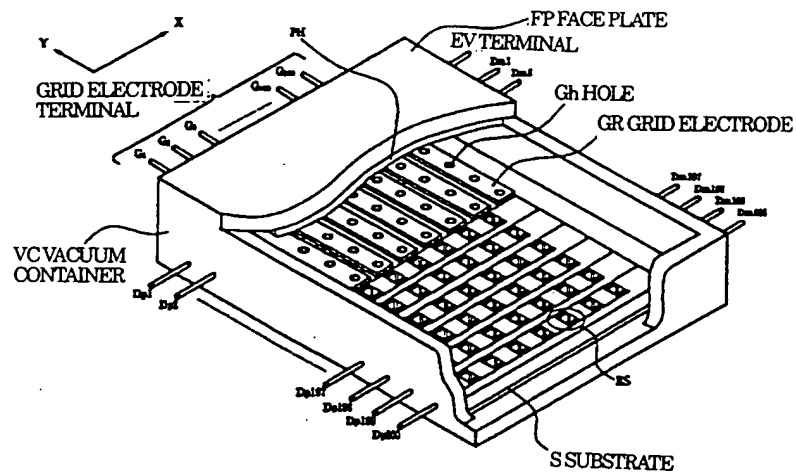


Fig. 22

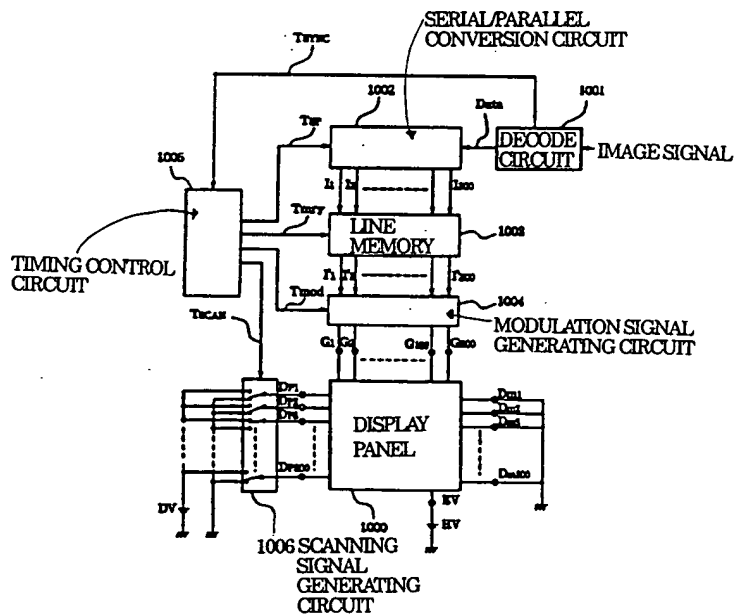


Fig. 23

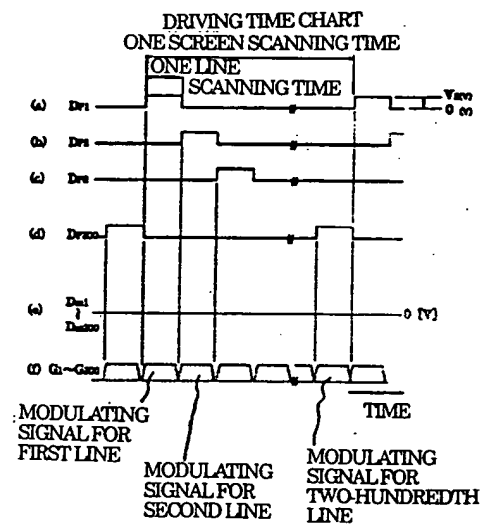




Fig. 24

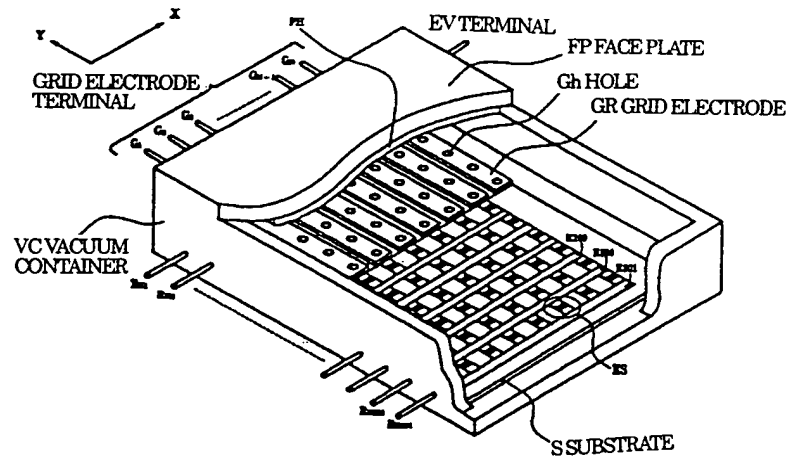


Fig. 25

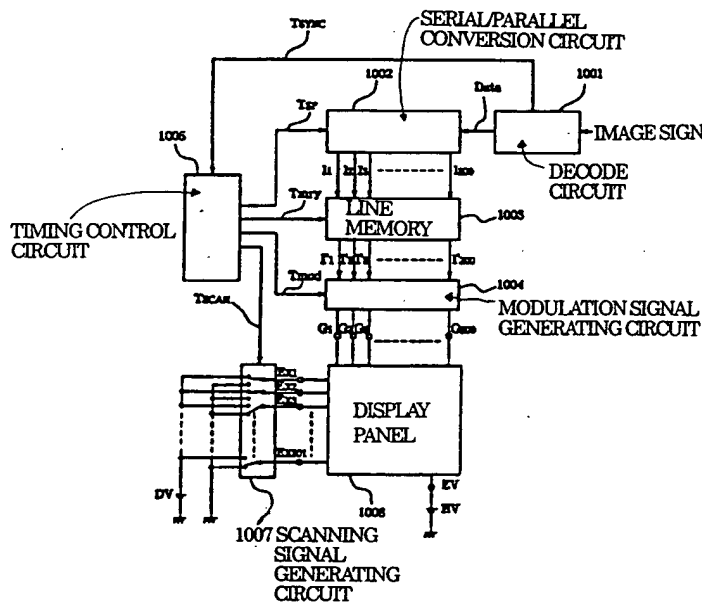
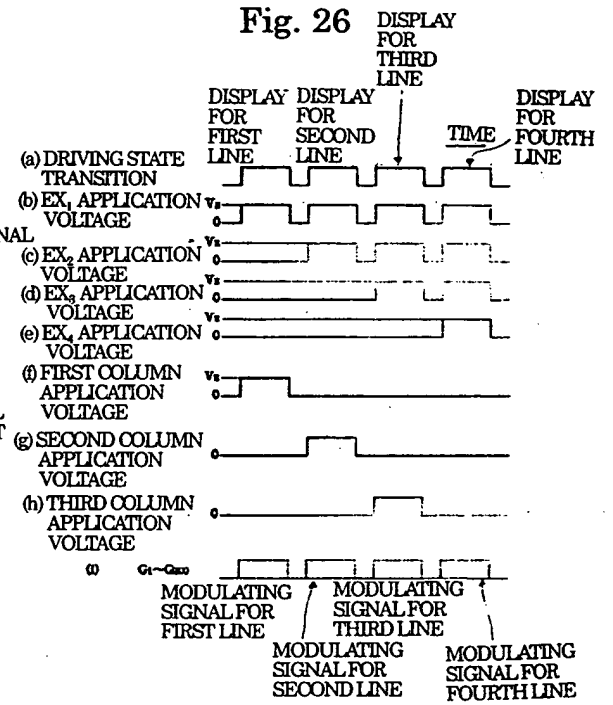


Fig. 26



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-235255

(43) 公開日 平成7年(1995)9月5日

(51) Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 J 1/30	A			
9/02	B			
31/12	B			
31/15	C			

審査請求 未請求 請求項の数30 O L (全 24 頁)

(21) 出願番号	特願平6-141670	(71) 出願人	000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(22) 出願日	平成6年(1994)6月23日	(72) 発明者	山野辺 正人 東京都大田区下丸子3丁目30番2号キヤノン株式会社内
(31) 優先権主張番号	特願平5-335925	(72) 発明者	野村 一郎 東京都大田区下丸子3丁目30番2号キヤノン株式会社内
(32) 優先日	平5(1993)12月28日	(72) 発明者	鎌 英俊 東京都大田区下丸子3丁目30番2号キヤノン株式会社内
(33) 優先権主張国	日本 (J P)	(74) 代理人	弁理士 丸島 徹一

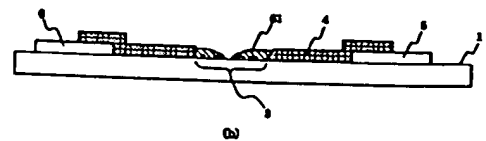
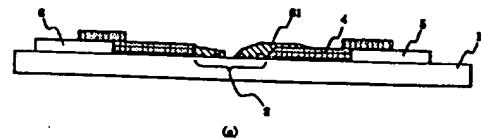
最終頁に続く

(54) 【発明の名称】 電子放出素子とその製造方法、及び該電子放出素子を用いた電子源及び画像形成装置

(57) 【要約】 (修正有)

【目的】 効率の高い表面伝導形電子放出素子の新規な構成とその製造方法、及び、該素子を用いた電子源と画像形成方法を提供する。

【構成】 対向する電極5、6間に、高抵抗部を含む導電性膜4を有する電子放出素子において、該高抵抗部に、炭素を主成分とする堆積物61を有することを特徴とする電子放出素子と、その製造方法、及び該素子を用いた電子源及び画像形成装置。



## 【特許請求の範囲】

【請求項1】 対向する電極間に、高抵抗部を含む導電性膜を有する電子放出素子において、該高抵抗部に、炭素を主成分とする堆積物を有することを特徴とする電子放出素子。

【請求項2】 前記炭素を主成分とする堆積物は、更に、該高抵抗部の近傍に存在する請求項1に記載の電子放出素子。

【請求項3】 前記炭素を主成分とする堆積物は、前記高抵抗部の一部から前記導電性膜上に存在する請求項2 10に記載の電子放出素子。

【請求項4】 前記炭素を主成分とする堆積物は、前記高抵抗部の一部から前記電極のうちの一方の電極側の導電性膜上に偏在する請求項3に記載の電子放出素子。

【請求項5】 前記炭素を主成分とする堆積物は、前記高抵抗部の一部から前記電極のうちの高電位電極側の導電性膜上に偏在する請求項4に記載の電子放出素子。

【請求項6】 前記導電性膜は、導電性微粒子よりなる請求項1に記載の電子放出素子。

【請求項7】 前記導電性微粒子は、金属あるいは金属 20酸化物である請求項6に記載の電子放出素子。

【請求項8】 前記導電性微粒子は、少なくともその一部が前記堆積物により被覆されている請求項6に記載の電子放出素子。

【請求項9】 前記高抵抗部は、導電性微粒子を有する請求項1に記載の電子放出素子。

【請求項10】 前記導電性微粒子は、少なくともその一部が前記堆積物により被覆されている請求項9に記載の電子放出素子。

【請求項11】 前記炭素を主成分とする堆積物は、前 30記電極の少なくとも一部を被覆する請求項1に記載の電子放出素子。

【請求項12】 前記炭素を主成分とする堆積物は、グラファイト、アモルファスカーボンあるいはそれらの混合物である請求項1に記載の電子放出素子。

【請求項13】 前記電極間に印加される電圧に対して電子放出電流は、単調増加特性を有する請求項1に記載の電子放出素子。

【請求項14】 電子放出素子を有し、入力信号に応じて電子を放出する電子源において、前記電子放出素子が 40請求項1～13のいずれかに記載の電子放出素子であることを特徴とする電子源。

【請求項15】 前記電子放出素子を複数有し、該複数の電子放出素子の各々の両端を配線にて接続した電子放出素子の行を複数行と、該電子放出素子より放出される電子線の変調を行う変調手段とを有する請求項14に記載の電子源。

【請求項16】 前記電子放出素子を複数有し、該複数の電子放出素子が互いに電気的に絶縁されたm本のX方向配線とn方向配線とに接続し、前記配線に電圧が印加され

4に記載の電子源。

【請求項17】 電子源と画像形成部材とを有し、入力信号に応じて画像形成する画像形成装置において、前記電子源が電子放出素子を有し、該電子放出素子が請求項1～13のいずれかに記載の電子放出素子であることを特徴とする画像形成装置。

【請求項18】 前記電子源が、前記電子放出素子を複数有し、該複数の電子放出素子の各々の両端を配線にて接続した電子放出素子の行を複数行と、該電子放出素子より放出される電子線の変調を行う変調手段とを有する電子源である請求項17に記載の画像形成装置。

【請求項19】 前記電子源が、前記電子放出素子を複数有し、該複数の電子放出素子が互いに電気的に絶縁されたm本のX方向配線とn方向配線とに接続し並設されている電子源である請求項17に記載の画像形成装置。

【請求項20】 前記電子源の放出電流及び素子電流が、素子印加電圧に対して、単調増加特性を有する請求項17に記載の画像形成装置。

【請求項21】 画像形成装置内が、前記炭素を主成分とする堆積物の新たな堆積を防止する真空度に維持されている請求項17に記載の画像形成装置。

【請求項22】 対向する電極間に、電子放出部を含む導電性膜を有する電子放出素子の製造方法において、素子の活性化工程を有することを特徴とする電子放出素子の製造方法。

【請求項23】 前記活性化工程は、前記素子に炭素を主成分とする堆積物を堆積させる工程である請求項22に記載の電子放出素子の製造方法。

【請求項24】 前記活性化工程は、真空中にて、電極間に設けられた導電性膜に電圧を印加する工程を有する請求項23に記載の電子放出素子の製造方法。

【請求項25】 前記電圧は、パルス状で印加される請求項24に記載の電子放出素子の製造方法。

【請求項26】 前記電圧は、電圧制御型負性抵抗特性領域以上の電圧である請求項25に記載の電子放出素子の製造方法。

【請求項27】 前記電圧は、電子放出素子の駆動電圧である請求項26に記載の電子放出素子の製造方法。

【請求項28】 更に、フォーミング工程を有する請求項22に記載の電子放出素子の製造方法。

【請求項29】 前記フォーミング工程は、電極間に設けられた導電性膜に、高抵抗部を形成する工程である請求項28に記載の電子放出素子の製造方法。

【請求項30】 前記活性化工程は、前記フォーミング工程の後に行われる請求項22に記載の電子放出素子の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、電子源およびその応用

規な構成の表面伝導型電子放出素子、それを用いた電子源および、その応用である表示装置等の画像形成装置に関する。

[0002]

【従来の技術】従来、電子放出素子として熱電子源と冷陰極電子源の2種類が知られている。冷陰極電子には電子放出型（以下FE型と略す）、金属/絶縁層/金属型（以下MIM型と略す）や表面伝導型電子放出素子等がある。

[0003] FE型の例としてはW. P. Dyke & W. W. Dolan, "Field emission", Advance in Electron Physics, 8, 89 (1956) あるいはC. A. Spindt, "PHYSICAL Properties of thin-film field emission cathodes with molybdenum cones", J. Appl. Phys., 47, 5248 (1976) 等が知られている。

[0004] MIM型の例としてはC. A. Mead, "The tunnel-emission amplifier", J. Appl. Phys., 32, 646 (1961) 等が知られている。

[0005] 表面伝導型電子放出素子の例としては、M. I. Elinson, Radio Eng. Electron Phys., 10, (1965) 等がある。

[0006] 表面伝導型電子放出素子は基板上に形成された小面積の薄膜に、膜面に並行に電流を流すことにより、電子放出が生ずる現象を利用するものである。この表面伝導型電子放出素子としては、前記エリンソン等によるSnO<sub>2</sub> 薄膜を用いたもの、Au薄膜によるもの [G. Dittmer: "Thin Solid Films", 9, 317 (1972)], In<sub>2</sub>O<sub>3</sub>/SnO<sub>2</sub> 薄膜によるもの [M. Hartwell and C. G. Fonstad: "IEEE Trans. ED Conf.", 519 (1975)], カーボン薄膜によるもの [荒木久他: 真空, 第26巻, 第1号, 22頁 (1983)] 等が報告されている。

[0007] これらの表面伝導型電子放出素子の典型的な素子構成として前述のM. ハートウェルの素子構成を図18に示す。同図において1は絶縁性基板である。2は電子放出部形成用薄膜で、H型形状のパターンに、スパッタで形成された金属酸化物薄膜等からなり、後述のフォーミングと呼ばれる通電処理により電子放出部3が形成される。4は電子放出部を含む薄膜と呼ぶことにする。尚、図中のL1は、0.5~1mm、Wは、0.1mmで設定されている。

[0008] 従来、これらの表面伝導型電子放出素子においては、電子放出を行う前に電子放出部形成用薄膜2を予めフォーミングと呼ばれる通電処理によって電子放出部を形成するの一般的な方法として知られていた。

ングとは前記電子放出部形成用薄膜2の両端に直流電圧あるいは非常にゆっくりとした昇電圧例えば1V/分程度を印加通過し、電子放出部形成用薄膜を局部的に破壊、変形もしくは変質せしめ、電気的に高抵抗な状態にした電子放出部3を形成することである。尚、電子放出部3は電子放出部形成用薄膜2の一部に亀裂が発生しその亀裂付近から電子放出が行われる。以下フォーミングにより形成した電子放出部を含む電子放出部形成用薄膜2を電子放出部を含む薄膜4と呼ぶ。前記フォーミング処理をした表面伝導型電子放出素子は、上述電子放出部を含む薄膜4に電圧を印加し、素子に電流を流すことにより、上述電子放出部3より電子を放出せしめるものである。

[0009] しかしながら、これら従来の表面伝導型電子放出素子においては、実用化にあたっては、様々の問題があったが、本出願人等は、後述する様な様々な改善を鋭意検討し、実用化上の様々な問題点を解決してきた。

[0010] 上述の表面伝導型電子放出素子は、構造が単純で製造も容易であることから、大面積にわたり多数素子を配列形成できる利点がある。そこで、この特徴を生かせるようないろいろな応用が研究されている。例えば、荷電ビーム源、表示装置等があげられる。

[0011] 多数の表面伝導型電子放出素子を配列形成した例としては、並列に表面伝導型電子放出素子を配列し、個々の素子の両端を配線にてそれぞれ結線した行を多数行配列した電子源があげられる。（例えば、特開昭64-31332号公報、特開平1-283749号公報、特開平1-257552号公報）また、特に表示装置等の画像形成装置においては、近年、液晶を用いた平板型表示装置が、CRTに替わって、普及してきたが、自発光型でないため、バックライト等を持たなければならない等の問題点があり、自発光型の表示装置の開発が、望まれてきた。表面伝導型電子放出素子を多数配置した電子源と電子源より放出された電子によって、可視光を発光せしめる蛍光体とを組み合わせた表示装置である画像形成装置は、大画面の装置でも比較的容易に製造でき、かつ表示品位の優れた自発光型表示装置である（例えば、USP5066883号）。

[0012] 尚、従来、多数の表面伝導型電子放出素子より構成された電子源より、電子放出をし、蛍光体の発光をさせる素子の選択は、上述の多数の表面伝導型電子放出素子を並列に配置し結線した配線（行方向配線と呼ぶ）、行配線と直交する方向に（列方向と呼ぶ）、該電子源と蛍光対間の空間に設置された制御電極（グリッドと呼ぶ）と列方向配線への適当な駆動信号によるものである（例えば、特開平1-283749号公報等）。

[0013]

【発明が解決しようとしている課題】しかしながら、前

放出素子の真空中の挙動は、殆ど判っておらず、安定で制御された電子放出特性、及びその効率の向上が、望まれてきた。

【0014】ここで効率とは、表面伝導型電子放出素子の一对の対向する素子電極に電圧を印加したとき、流れる電流（以下、素子電流  $I_f$  と呼ぶ）に対する真空中に放出される電流（以下、放出電流  $I_e$  と呼ぶ）との電流比をさす。

【0015】つまり、素子電流はできるだけ小さく、放出電流はできるだけ大きいことが望ましい。

【0016】安定で制御された電子放出特性と効率の向上がなされれば、例えば蛍光体を画像形成部材とする画像形成装置においては、低電流で明るい高品位な画像形成装置、例えば、フラットテレビが実現される。また、低電流化にともない、画像形成装置を構成する駆動回路等も安価になることも期待できる。本発明は、上記問題を鑑み、安定で制御され、素子電流はでき得るだけ小さく且つ放出電流はでき得るだけ大きい、効率の高い電子放出素子の新規な構成とその製造方法及びそれを用いた電子源及び画像形成装置を提供するものである。

【0017】

【課題を解決するための手段】上記課題を解決する、本発明の電子放出素子は、対向する電極間に、高抵抗部を含む導電性膜を有する電子放出素子において、該高抵抗部に、炭素を主成分とする堆積物を有することを特徴とする電子放出素子であり、好ましくは前記炭素を主成分とする堆積物は、前記高抵抗部の一部から前記導電性膜上に存在する電子放出素子であり、更に好ましくは、前記炭素を主成分とする堆積物は、前記高抵抗部の一部から前記電極のうちの高電位電極側の導電性膜上に偏在する電子放出素子である。

【0018】また上記電子放出素子の製造方法は、対向する電極間に、電子放出部を含む導電性膜を有する電子放出素子の製造方法において、素子の活性化工程を有することを特徴とする電子放出素子の製造方法であり、ここで言う前記活性化工程は、前記素子に炭素を主成分とする堆積物を堆積させる工程を有するものであり、好ましくは、以上の活性化工程は、真空中にて、電極間に設けられた導電性膜に電圧を印加する工程を有するものである。

【0019】また、このましくは、該電圧の印加はパルス状電圧の印加であり、特に好ましくは、電子放出素子の駆動電圧であることが良い。

【0020】更に本発明は、以上の電子放出素子を有し、入力信号に応じて電子を放出する電子源であり、好ましくは、上記の電子放出素子を、基体上に、複数個配置したことを特徴とした電子源であって、基体に、複数の電子放出素子を複数個並列に配置し、個々の素子の両端を配線に接続した電子放出素子の行を複数もち、更に、変調手段を有している配置形態、あるいは、基体

に、互いに、電氣的に、絶縁された  $m$  本の  $X$  方向配線と  $n$  本の  $Y$  方向配線とに、該電子放出素子の一对の素子電極とを接続した電子放出素子を複数個配列した配置形態を有する電子源である。

【0021】更に本発明は、画像形成装置であって、入力信号にもとづいて、画像を形成する画像形成装置において、少なくとも、画像形成部材と前記本発明の電子源とを有することを特徴とする画像形成装置である。

【0022】以下に、本発明の好ましい実施態様について述べる。

【0023】まず、本発明に係わる表面伝導型電子放出素子の基本的な構成について説明する。

【0024】図1の(a)、(b)は、それぞれ、本発明にかかわる基本的な平面型の表面伝導型電子放出素子の構成を示す平面図及び断面図である。図1を用いて、本発明に係わる素子の基本的な構成を説明する。

【0025】図1において1は基板、5と6は素子電極、4は電子放出部を含む薄膜（導電性膜）、3は電子放出部である。

20 【0026】基板1としては、石英ガラス、Na等の不純物含有量を減少したガラス、青板ガラス、青板ガラスにスパッタ法等により形成した  $SiO_2$  を積層したガラス基板等及びアルミナ等のセラミックス等が挙げられる。

【0027】対向する素子電極5、6の材料としては導電性を有するものであればどのようなものであっても構わないが、例えばNi、Cr、Au、Mo、W、Pt、Ti、Al、Cu、Pd等の金属或は合金及びPd、Ag、Au、 $RuO_2$ 、Pd-Ag等の金属或は金属酸化物とガラス等から構成される印刷導体、 $In_2O_3-SnO_2$ 等の透明導電体及びポリシリコン等の半導体材料等が挙げられる。

【0028】素子電極間隔  $L_1$ 、素子電極長さ  $W_1$ 、導電性膜4の形状等は、この素子の応用形態等によって適宜設計され、例えば、後述する表示装置で、テレビジョン等では、画面サイズに対応した画素サイズが設計され、とりわけ、高品位TVでは、画素サイズが小さく、高精細さが要求される。そのため、電子放出素子のサイズが、限定されたなかで、十分な輝度を得るためには、十分な放出電流が得られるように設計される。

40 【0029】素子電極間隔  $L_1$  は、数百オングストロームより数百マイクロメートルあり、素子電極の製法の基本となるフォトリソグラフィ技術、即ち、露光機の性能とエッチング方法等、及び、素子電極間に印加する電圧と電子放出し得る電界強度等により設定されるが、好ましくは、数マイクロメートルより数十マイクロメートルである。

【0030】素子電極の長さ  $W_1$ 、及び、素子電極5、6の膜厚  $d$  は、電極の抵抗値、前述した  $X$ 、 $Y$  配線との接続、多数配線された電子源の配線との接続と関連

計され、通常は、素子電極の長さ $W1$ は、数マイクロメートルより数百マイクロメートルであり、素子電極5、6の膜厚 $d$ は、数百オングストロームより数マイクロメートルである。

【0031】基板1上に設けられた対向する素子電極5と素子電極6間及び素子電極5、6上設置された電子放出部を含む薄膜4は、電子放出部3を含むが、図1の

(b)に示された場合だけでなく、素子電極5、6上には、設置されない場合もある。即ち、絶縁性基板1上に、電子放出部形成用薄膜2、対向する素子電極5、6の順に積層構成した場合である。また、対向する素子電極5と素子電極6間全てが、製法によっては、電子放出部として機能する場合もある。この電子放出部を含む薄膜4の膜厚は、好ましくは、数オングストロームより数千オングストロームで特に、好ましくは10オングストロームより500オングストロームあり、素子電極5、6へのステップカバレッジ、電子放出部3と素子電極5、6間の抵抗値及び電子放出部3の導電性微粒子の粒径、後述する通電処理条件等によって、適宜設定される。その抵抗値は、10の3乗より10の7乗オーム/□のシート抵抗値を示す。

【0032】電子放出部を含む薄膜(導電性膜)4を構成する材料の具体例を挙げるならばPd、Ru、Ag、Au、Ti、In、Cu、Cr、Fe、Zn、Sn、Ta、W、Pb等の金属、PdO、SnO<sub>2</sub>、In<sub>2</sub>O<sub>3</sub>、PbO、Sb<sub>2</sub>O<sub>3</sub>等の酸化物、HfB<sub>2</sub>、ZrB<sub>2</sub>、LaB<sub>6</sub>、CeB<sub>6</sub>、YB<sub>4</sub>、Gd<sub>2</sub>B<sub>4</sub>等の硼化物、TiC、ZrC、HfC、TaC、SiC、WC等の炭化物、TiN、ZrN、HfN等の窒化物、Si、Ge等の半導体、カーボン、AgMg、NiCu、Pb、Sn等であり、微粒子からなる。

【0033】尚、ここで述べる微粒子膜とは、複数の微粒子が集めた膜であり、その微細構造として、微粒子が個々に分散配置した状態のみならず、微粒子が互いに隣接、あるいは重なり合った状態(島状も含む)の膜をさす。

【0034】微粒子の粒径は、数オングストロームより数千オングストローム、このましくは、10オングストロームより200オングストロームである。

【0035】電子放出部3は、導電性膜4の一部に形成された、例えば、亀裂等の高抵抗部であり、更には、好ましくは、数オングストロームより数百オングストローム、特に好ましくは、10オングストロームより500オングストロームの粒径の導電性微粒子多数個を有する場合もあり、電子放出部を含む薄膜(導電性膜)4の膜厚及び後述する通電処理条件等の製法に依存しており、適宜設定される。

【0036】又、前記導電性微粒子は、電子放出部を含む薄膜(導電性膜)4を構成する材料の元素の一部あるいは全てと同様の物である。

【0037】又、電子放出部3の一部、更には、電子放出部3の近傍の導電性膜4には、炭素あるいは炭素化合物が堆積されている。

【0038】次に本発明に係る別な構成の表面伝導型電子放出素子である垂直型表面伝導型電子放出素子について説明する。

【0039】図12は基本的な垂直型表面伝導型電子放出素子の構成を示す模式的図面である。

【0040】図12において、図1と同一の符号のものは、同一である。21は段さ形成部である。基板1、素子電極5と6、電子放出部を含む薄膜4、電子放出部3は、前述した平面型表面伝導型電子放出素子と同様の材料で構成されたものであり、段さ形成部21は、真空蒸着法、印刷法、スパッタ法等で形成されたSiO<sub>2</sub>等の絶縁性材料で構成され、段さ形成部21の膜厚が、先に述べた平面型表面伝導型電子放出素子の素子電極間隔に対応し、数十ナノメートルより数十マイクロメートルであり、段さ形成部の製法、及び、素子電極間に印加する電圧と電子放出し得る電界強度により設定されるが、好ましくは、数十ナノメートルより数マイクロメートルである。電子放出部を含む薄膜4は、素子電極5、6と段さ形成部21作成後に、形成するため、素子電極5、6の上に積層される。なお、電子放出部3は、図12において、段差形成部21に直線状に示されているが、作成条件、通電フォーミング条件等に依存し、形状、位置ともこれに限るものでない。

【0041】電子放出部3を有する電子放出素子の製造方法としては様々な方法が考えられるが、その一例を図2に示す。尚、図2中、2は電子放出部形成用薄膜(導電性膜)で例えば微粒子膜が挙げられる。

【0042】以下、順をおって製造方法の説明を図1及び図2に基づいて説明する。

1) 基板1を洗剤、純水および有機溶剤により十分に洗浄後、真空蒸着法、スパッタ法等により素子電極材料を堆積後、フォトリソグラフィ技術により該絶縁性基板1の面上に素子電極5、6を形成する(図2の(a))。

2) 絶縁性基板1上に設けられた素子電極5と素子電極6との間に、素子電極5と6を形成した絶縁性基板上に有機金属溶液を塗布して放置することにより、有機金属薄膜を形成する。なお、有機金属溶液とは、前記Pd、Ru、Ag、Au、Ti、In、Cu、Cr、Fe、Zn、Sn、Ta、W、Pb等の金属を主元素とする有機化合物の溶液である。この後、有機金属薄膜を加熱焼成処理し、リフトオフ、エッチング等によりパターンニングし、電子放出部形成用薄膜2を形成する(図2の(b))。尚、ここでは、有機金属溶液の塗布法により説明したが、これに限る物でなく、真空蒸着法、スパッタ法、化学的気相堆積法、分散塗布法、ディッピング

3) つづいて、フォーミングと呼ばれる通電処理を素子電極5、6間に電圧を不図示の電源によりパルス状あるいは、昇電圧による通電処理がおこなわれると、電子放出部形成用薄膜(導電性膜)2の部位に構造の変化した電子放出部3が形成される(図2の(c))。この通電処理により電子放出部形成用薄膜(導電性膜)2を局所的に破壊、変形もしくは変質せしめ、構造の変化した部位(高抵抗部位)を電子放出部3と呼ぶ。

【0043】フォーミング処理以降の電気的処理は、図3に示す測定評価装置内で行う。以下に測定評価装置を説明する。

【0044】図3は、図1で示した構成を有する素子の電子放出特性を測定するための測定評価装置の概略構成図である。図3において、1は基体、5及び6は素子電極、4は電子放出部を含む薄膜、3は電子放出部を示す。また、31は素子に素子電圧 $V_f$ を印加するための電源、30は素子電極5、6間の電子放出部を含む薄膜4を流れる素子電流 $I_f$ を測定するための電流計、34は素子の電子放出部より放出される放出電流 $I_e$ を捕捉するためのアノード電極、33はアノード電極34に電圧を印加するための高圧電源、32は素子の電子放出部3より放出される放出電流 $I_e$ を測定するための電流計である。

【0045】電子放出素子の上記素子電流 $I_f$ 、放出電流 $I_e$ の測定にあたっては、素子電極5、6に電源31と電流計30とを接続し、該電子放出素子の上方に電源33と電流計32とを接続したアノード電極34を配置している。また、電子放出素子及びアノード電極34は真空装置内に設置され、その真空装置には不図示の排気ポンプ及び真空計等の真空装置に必要な機器が具備されており、所望の真空下で素子の測定評価を行えるようになっている。尚、排気ポンプは、ターボポンプ、ロータリーポンプからなる通常の高真空装置系あるいは、オイルを使用しない、磁気浮上ターボポンプ、ドライポンプ等の高真空装置系と更に、イオンポンプからなる超高真空装置系からなる。また、真空装置全体、及び電子源基板は、不図示のヒーターにより200℃まで加熱できる。

【0046】なお、アノード電極の電圧は1kV~10kV、アノード電極と電子放出素子との距離Hは2mm~8mmの範囲で測定した。

【0047】フォーミング処理は、パルス波高値が定電圧のパルスを印加する場合とパルス波高値を増加させながら、電圧パルスを印加する場合とがある。まず、パルス波高値が定電圧のパルスを印加の場合の電圧波形を図4の(a)に示す。

【0048】図4の(a)中、T1及びT2は電圧波形のパルス幅とパルス間隔であり、T1を1マイクロ秒~10ミリ秒、T2を10マイクロ秒~100ミリ秒とし、三角波の波高値(フォーミング時のピーク電圧)は

適宜選択し、真空雰囲気下で印加する。

【0049】次に、パルス波高値を増加させながら、電圧パルスを印加する場合の電圧波形を、図4の(b)に示す。

【0050】図4の(b)中、T1及びT2は電圧波形のパルス幅とパルス間隔であり、T1を1マイクロ秒~10ミリ秒、T2を10マイクロ秒~100ミリ秒とし、三角波の波高値(フォーミング時のピーク電圧)は、例えば0.1Vステップ程度づつ、増加させ、真空雰囲気下で印加する。

【0051】尚、フォーミング処理の終了は、パルス間隔T2中に、電子放出部形成用薄膜2を局所的に破壊、変形しない程度の電圧例えば0.1V程度の電圧で、素子電流を測定し、抵抗値を求め、例えば、1Mオーム以上の抵抗を示した時、フォーミングを終了とした。この時の電圧を、フォーミング電圧 $V_{form}$ と呼ぶことにする。

【0052】以上説明した電子放出部を形成する際に、素子の電極間に三角波パルスを印加してフォーミング処理を行っているが、素子の電極間に印加する波形は三角波に限定することではなく、矩形波など所望の波形を用いても良く、その波高値及びパルス幅、パルス間隔等についても上述の値に限ることなく、電子放出部が良好に形成される様に、電子放出素子の抵抗値等にあわせて、所望の値を選択する。

【0053】また、このフォーミング電圧は、素子の材料、構成等により一義的に決まるので、上記図4の

(b)に示すようなパルス波高値を増加させながら、電圧パルスを印加する場合の方が、個々の素子に適正なフォーミングのエネルギーが容易に得られ、良好な電子放出特性が得られるので好ましい。

4) 次に、フォーミングが終了した素子に活性化処理と呼ぶ処理を施す。活性化処理とは、10のマイナス4乗~10のマイナス5乗torr程度の真空度で、フォーミング同様、パルス波高値が定電圧のパルスの印加を繰り返す処理のことを言い、真空中に存在する有機物質から、炭素あるいは炭素化合物を堆積することで、素子電流 $I_f$ 、放出電流 $I_e$ が、著しく変化する処理である。素子電流 $I_f$ と放出電流 $I_e$ を測定しながら、例えば、放出電流 $I_e$ が飽和した時点で、活性化処理を終了する。素子電流 $I_f$ 、放出電流 $I_e$ の活性化処理時間依存例を図5に示す。

【0054】活性化処理は、真空度、素子に印加するパルス電圧等に依存して、この素子電流 $I_f$ 、放出電流 $I_e$ の時間依存が変化し、またフォーミング処理によって、変形、変質した薄膜への被膜(堆積物)の形成状態が変化する。

【0055】活性化処理電圧が、フォーミング電圧 $V_{form}$ に比べて、十分に高いパルスを印加し活性化処理する場合を高抵抗活性化処理と呼ぶこととする。一方、活

活性化処理電圧が、フォーミング電圧 $V_{form}$ に比べて、十分に低いパルス印加し活性化処理する場合を低抵抗活性化処理と呼ぶこととする。尚、後述する電圧制御型負性抵抗を示す開始電圧 $V_P$ をただし、ほぼ、境界として活性化処理が分類される。

【0056】高抵抗活性化処理、低抵抗活性化処理の場合の素子の形態変化を観察したものの模式図が図6の(a)、(b)である。尚、上記観察は、FESEM、TEM等によって行った。

【0057】図6の(a)、(b)は、それぞれ高抵抗活性化処理、低抵抗活性化処理した場合の素子の断面である。尚、5を高電位側電極、6を低電位側電極として、電圧の印加が行われた。高抵抗活性化処理の場合を示す図6の(a)では、フォーミングによって、導電性膜4に、亀裂などの変形、変質をせしめた部分(高抵抗部分)3の一部より主として高電位電極5側の導電性膜4上に炭素あるいは炭素化合物61が堆積している。更に高倍率で観察すると微粒子の周囲及び周辺にも堆積している。また、対向する素子電極間距離にもよるが、素子電極にも炭素あるいは炭素化合物61が堆積する場合もある。その膜厚は、好ましくは、500オングストローム以下、より好ましくは、300オングストローム以下である。

【0058】尚ここで、炭素あるいは炭素化合物とは、TEM、ラマン等の結果、グラファイト(単、多結晶双方を指す)、非晶質カーボン(非晶質カーボン及び多結晶グラファイトとの混合物を指す)である。

【0059】一方、低抵抗活性化処理の場合を示す図6の(b)では、フォーミングによって変形、変質せしめた部分3の一部に炭素あるいは炭素化合物61が堆積している。更に高倍率で観察すると微粒子の周囲及び周辺にも堆積している。

【0060】尚、ここで、炭素あるいは炭素化合物とは、先と同様、TEM、ラマン等の結果、グラファイト(単、多結晶双方を指す)、非晶質カーボン(非晶質カーボン及び多結晶グラファイトとの混合物を指す)である。

5) こうして作成した電子放出素子を、好ましくは、フォーミング処理及び活性化処理した真空度より高い真空度の真空雰囲気にて駆動する。また、フォーミング処理及び活性化処理した真空度より高い真空度の真空雰囲気とは、好ましくは、約10のマイナス6乗torr以上の真空度を有する真空度であり、より好ましくは、超高真空系で、炭素、及び炭素化合物の新たに、ほぼ、堆積しない真空度である。

【0061】従って、これによって、これ以上の炭素及び炭素化合物の堆積を抑制する事が可能となり、素子電流 $I_f$ 、放出電流 $I_e$ が、一定に安定する。

【0062】尚、高抵抗活性化処理、低抵抗活性化処理の場合の素子では、駆動初期における安定性が異なり、

より好ましくは、高抵抗活性化処理が活性化処理として選択される。

【0063】上述のような素子構成と製造方法によって作成された本発明にかかわる電子放出素子の基本特性について図3、図7を用いて説明する。

【0064】図3に示した測定評価装置により測定された放出電流 $I_e$ 及び素子電流 $I_f$ と素子電圧 $V_f$ の関係の典型的な例を図7に示す。尚、図7は放出電流 $I_e$ は素子電流 $I_f$ に比べて著しく小さいので、任意単位で示されている。図7からも明らかなように、本電子放出素子は放出電流 $I_e$ に対する3つの特性を有する。

【0065】まず第1に、本素子はある電圧(しきい値電圧と呼ぶ、図7中の $V_{th}$ )以上の素子電圧を印加すると急激に放出電流 $I_e$ が増加し、一方しきい値電圧 $V_{th}$ 以下では放出電流 $I_e$ がほとんど検出されない。すなわち、放出電流 $I_e$ に対する明確なしきい値電圧 $V_{th}$ を持った非線形素子である。

【0066】第2に、放出電流 $I_e$ が素子電圧 $V_f$ に依存するため、放出電流 $I_e$ は素子電圧 $V_f$ で制御できる。

【0067】第3にアノード電極34に捕捉される放出電荷は、素子電圧 $V_f$ を印加する時間に依存する。すなわち、アノード電極34に捕捉される電荷量は、素子電圧 $V_f$ を印加する時間により制御できる。

【0068】一方、素子電流 $I_f$ は素子電圧 $V_f$ に対して単調増加する(MI特性と呼ぶ)特性(図7の実線)及び電圧制御型負性抵抗(VCNR特性と呼ぶ)特性(図7の破線)を示す場合があるが、これら素子電流の特性は、その製法に依存する。又、VCNR特性を示す境界電圧を $V_P$ という。

【0069】即ち、素子電流 $I_f$ のVCNR特性は、通常の真空装置系で、フォーミングを行ったとき発生し、その特性は、フォーミング時の電氣的条件、真空装置系の真空雰囲気条件等、あるいは、フォーミングを既に行った電子放出素子の測定時の真空装置系の真空雰囲気条件、測定時の電氣的測定条件(例えば、電子放出素子の電流-電圧特性を得るために、素子に印加する電圧を低電圧から高電圧まで掃引した時の掃引速度等)測定時までの電子放出素子の真空装置内の放置時間等に依存して、大きく変わることが判明した。またこの時、放出電流 $I_e$ は、MI特性を示す。

【0070】以上のような表面伝導型電子放出素子の特性、即ち、素子電流 $I_f$ 、放出電流 $I_e$ の素子印加電圧に対する単調増加特性を有するため、本発明にかかわる電子放出素子は、多方面への応用が期待できる。

【0071】尚、あらかじめ導電性微粒子を分散して構成した表面伝導型電子放出素子においては、前記本発明の基本的な素子構成の基本的な製造方法のうちの一部を変更してもよい。

【0072】以下表面伝導型電子放出素子の基本的な構



成、製法について述べたが、本発明の思想によれば、表面伝導形電子放出素子の特性で上述の3つの特徴を有すれば、上述の構成等に限定されず、後述の電子源、表示装置等の画像形成装置に於いても適用できる。

【0073】次に、本発明の電子源及び画像形成装置について述べる。

【0074】本発明の電子放出素子を複数個、基板上に配列して、電子源あるいは、画像形成装置が構成できる。

【0075】基板上の配列の方式には、例えば、従来例で述べた、多数の表面伝導型電子放出素子を並列に配置し、個々の素子の両端を配線にて結線した、電子放出素子の行を多数配列し（行方向と呼ぶ）、この配線と直交する方向に（列方向と呼ぶ）、該電子源の上方の空間に設置された制御電極（グリッドと呼ぶ）により電子を制御駆動する配列形態（以後、はしご型という）、及び次に述べるm本のX方向配線の上にn本のY方向配線を、層間絶縁層を介して設置し、表面伝導形電子放出素子の一对の素子電極にそれぞれ、X方向配線、Y方向配線を接続した配列形態が挙げられる。これを単純マトリクス配置と以降呼ぶ。

【0076】次に、この単純マトリクスについて詳述する。

【0077】本発明にかかわる表面伝導型電子放出素子の前述した3つの基本的特性の特徴によれば、表面伝導型電子放出素子からの放出電子は、しきい値電圧以上では、対向する素子電極間に印加するパルス状電圧の波高値と中で制御される。一方、しきい値電圧以下では、殆ど放出されない。この特性によれば、多数の電子放出素子を配置した場合においても、個々の素子に、上記パルス状電圧を適宜印加すれば、入力信号に応じて、表面伝導型電子放出素子を選択し、その電子放出量が制御できる事となる。

【0078】以下、この原理に基づき構成した電子源基板の構成について、図8を用いて説明する。

【0079】m本のX方向配線82は、DX1、DX2、…DXmからなり、絶縁性基板1上に、真空蒸着法、印刷法、スパッタ法等で形成し、所望のパターンとした導電性金属等からなり、多数の表面伝導型電子放出素子にほぼ均等な電圧が供給される様に、材料、膜厚、配線巾が設定される。Y方向配線83は、DY1、DY2、…DYnのn本の配線よりなり、X方向配線82と同様に、真空蒸着法、印刷法、スパッタ法等で形成し、所望のパターンとした導電性金属等からなり、多数の表面伝導型電子放出素子にほぼ均等な電圧が供給される様に、材料、膜厚、配線巾等が設定される。これらm本のX方向配線82とn本のY方向配線83間には、不図示の層間絶縁層が設置され、電気的に分離されて、マトリクス配線を構成する（このm、nは、共に正の整数）。

【0080】不図示の層間絶縁層は、真空蒸着法、印刷法、スパッタ法等で形成されたSiO<sub>2</sub>等であり、X方向配線82を形成した絶縁性基板1の全面あるいは一部に所望の形状で形成され、特に、X方向配線82とY方向配線83の交差部の電位差に耐え得る様に、膜厚、材料、製法が適宜設定される。X方向配線82とY方向配線83は、それぞれ外部端子として引き出されている。

【0081】更に、前述と同様にして、表面伝導型電子放出素子84の対向する電極（不図示）が、m本のX方向配線82（DX1、DX2、…DXm）とn本のY方向配線83（DY1、DY2、…DYn）と、真空蒸着法、印刷法、スパッタ法等で形成された導電性金属等からなる結線85によって電気的に接続されているものである。

【0082】ここで、m本のX方向配線82とn本のY方向配線83と結線85と対向する素子電極の導電性金属は、その構成元素の一部あるいは全部が同一であっても、またそれぞれ異なってもよく、Ni、Cr、Au、Mo、W、Pt、Ti、Al、Cu、Pd等の金属あるいは合金及びPd、Ag、Au、RuO<sub>2</sub>、Pd-Ag等の金属あるいは金属酸化物とガラス等から構成される印刷導体、In<sub>2</sub>O<sub>3</sub>-SnO<sub>2</sub>等の透明導体及びポリシリコン等の半導体材料等より適宜選択される。また表面伝導型電子放出素子は、絶縁性基板1、あるいは、不図示の層間絶縁層上どちらに形成してもよい。

【0083】又、詳しくは、後述するが、前記X方向配線82には、X方向に配列する表面伝導型電子放出素子84の行を、入力信号に応じて、走査するための走査信号を印加するための不図示の走査信号印加手段と電気的に接続され、一方、Y方向配線83には、Y方向に配列する表面伝導型電子放出素子84の列の各列を入力信号に応じて、変調するための変調信号を印加するための不図示の変調信号発生手段と電気的に接続される。

【0084】更に、表面伝導型電子放出素子の各素子に印加される駆動電圧は、当該素子に印加される走査信号と変調信号の差電圧として供給されるものである。

【0085】次に、以上のようにして作成した電子源基板を用いた電子源、及び、表示等に用いる画像形成装置について図9と図10を用いて説明する。図9は画像形成装置の基本構成図であり、図10は蛍光膜である。

【0086】図9において、1は基板、91は基板1を固定したリアプレート、96は、ガラス基板93の内面に蛍光膜94とメタルバック95等が形成されたフェースプレート、92は、支持枠であり、リアプレート91、支持枠92及びフェースプレート96をフリットガラス等を塗布し、大気中あるいは、窒素中で、400～500℃で10分以上焼成することで、封着して、外囲器98を構成する。

【0087】図9において、84は、図1あるいは図12に示された表面伝導型電子放出素子に相当する。

2、83は、表面伝導形電子放出素子の一对の素子電極と接続されたX方向配線及びY方向配線である。また、これら素子電極への配線は、素子電極と配線材料が同一である場合は、素子電極と呼ぶ場合もある。

【0088】外囲器98は、上述の如く、フェースプレート96、支持枠92、リアプレート91で外囲器98を構成したが、リアプレート91は主に基板1の強度を補強する目的で設けられてるため、基板1自体で十分な強度を持つ場合は別体のリアプレート91は不要であり、基板1に直接支持枠92を封着し、フェースプレート96、支持枠92、基板1にて外囲器98を構成しても良い。

【0089】図10は、蛍光膜である。蛍光膜94は、モノクロームの場合は蛍光体のみから成るが、カラーの蛍光膜の場合は、蛍光体の配列によりブラックストライプあるいはブラックマトリクスなどと呼ばれる黒色導伝材101と蛍光体102とで構成される。ブラックストライプ、ブラックマトリクスが設けられる目的は、カラー表示の場合必要となる3原色蛍光体の、各蛍光体102間の塗り分け部を黒くすることで混色等を目立たなくすることと、蛍光膜94における外光反射によるコントラストの低下を抑制することである。ブラックストライプの材料としては、通常良く用いられている黒鉛を主成分とする材料だけでなく、導電性があり、光の透過及び反射が少ない材料であればこれに限るものではない。

【0090】ガラス基板93に蛍光体を塗布する方法はモノクローム、カラーによらず、沈殿法や印刷法が用いられる。

【0091】また、蛍光膜94の内面側には通常メタルバック95が設けられる。メタルバックの目的は、蛍光体の発生のうち内面側への光をフェースプレート96側へ鏡面反射することにより輝度を向上すること、電子ビーム加速電圧を印加するための電極として作用すること、外囲器内で発生した負イオンの衝突によるダメージからの蛍光体の保護等である。メタルバックは、蛍光膜作製後、蛍光膜の内面側表面の平滑化処理（通常フィリミングと呼ばれる）を行い、その後A1を真空蒸着等で堆積することで作製できる。

【0092】フェースプレート96には、更に蛍光膜94の導伝性を高めるため、蛍光膜94の外面側に透明電極（不図示）が設けてもよい。

【0093】前述の封着を行う際、カラーの場合は各色蛍光体と電子放出素子とを対応させなくてはならないため、十分な位置合わせを行なう必要がある。

【0094】外囲器98は、不図示の排気管を通じ、10のマイナス6乗トール程度の真空度にされ、外囲器98の封止がおこなわれる。

【0095】尚、電子源基板は、前述した通りに電子放出部を形成した図1あるいは図12の素子が、基板上に上記の如く配置

は電子放出部形成前の素子、例えば図2の(b)に示された状態の素子を、基板上に上記の如く配置、配線し、これを図9に示す外囲器98内に配置した後、不図示の排気管を通じ、例えば、ロータリーポンプ、ターボポンプをポンプ系とする様な通常の真空装置系で該外囲器内を、10のマイナス6乗トール程度の真空度とし、容器外端子Dox1ないしDoxmとDoy1ないしDoy nを通じ素子電極5、6（図2の(b)）間に電圧を印加し、上述のフォーミングを行い、次に、前記活性化処理を、該外囲器内を10のマイナス6乗トール程度の真空度として行うことにより電子放出部3を形成して、電子源基板を作製する。

【0096】以上の様に作製の後、特に、その後、80度〜150度でベーキングを3〜15時間行いながら、例えば、イオンポンプ等のポンプ系とする超高真空装置系にきりかえる。超高真空系の切り替え、及びベーキングは、前述の表面伝導型電子放出素子の素子電流If、放出電流Ieの単調増加特性（MI特性）を満足するためであり、その方法、条件はこれに限るものでない。また、外囲器98の封止後の真空度を維持するために、ゲッター処理を行う場合もある。これは、外囲器98の封止を行う直前あるいは封止後に、抵抗加熱あるいは高周波加熱等の加熱法により、外囲器98内の所定の位置（不図示）に配置されたゲッターを加熱し、蒸着膜を形成する処理である。ゲッターは通常Ba等が主成分であり、該蒸着膜の吸着作用により、たとえば1×10マイナス5乗ないしは1×10マイナス7乗[Torr]の真空度を維持するものである。

【0097】以上により完成した本発明の画像表示装置において、各電子放出素子には、容器外端子Dox1ないしDoxm、Doy1ないしDoy nを通じ、電圧を印加することにより、電子放出させ、高圧端子Hvを通じ、メタルバック95あるいは透明電極（不図示）に数kV以上の高圧を印加し、電子ビームを加速し、蛍光膜94に衝突させ、励起・発光させることで画像を表示するものである。

【0098】以上述べた構成は、表示等に用いられる好適な画像形成装置を作製する上で必要な概略構成であり、例えば各部材の材料等、詳細な部分は上述内容に限られるものではなく、画像装置の用途に適するよう適宜選択する。

【0099】

【実施例】以下に、実施例をあげて、本発明をさらに詳述する。

【0100】（実施例1）本発明にかかわる基本的な表面伝導型電子放出素子の構成は、図1の(a)、(b)の平面図及び断面図と同様である。

【0101】尚、基板1上には、同一形状の素子が図11に示すように4個形成されている。尚、図11におい

【0102】本発明に係わる表面伝導形電子放出素子の製造法は、基本的には図2と同様である。以下、図1、図2を用いて、本発明に係わる素子の基本的な構成及び製造法を説明する。

【0103】図1において、1は基板、5と6は素子電極、4は電子放出部を含む薄膜、3は電子放出部である。

【0104】以下、順をおって製造方法の説明を図1及び図2に基づいて説明する。

【0105】工程-a：清浄化した青板ガラス上に厚さ0.5ミクロンのシリコン酸化膜をスパッタ法で形成した基板1上に、素子電極5と素子電極間ギャップGとなるべきパターンをホトレジスト(RD-2000N-41日立化成社製)で形成し、真空蒸着法により、厚さ50ÅのTi、厚さ1000ÅNiを順次堆積した。ホトレジストパターンを有機溶剤で溶解し、Ni/Ti堆積膜をリフトオフし、素子電極間隔Gは3ミクロンとし、素子電極の幅W1を300ミクロンを有する素子電極5、6を形成した(図2の(a))。

【0106】工程-b：素子間電極ギャップGおよびこの近傍に開口を有するマスクにより膜厚1000ÅのCr膜121を真空蒸着により堆積・パターニングし、そのうえに有機Pd(ccp4230奥野製薬(株)社製)をスピナーにより回転塗布、300℃で10分間の加熱焼成処理をした。また、こうして形成された主元素としてPbよりなる微粒子からなる電子放出部形成用薄膜2の膜厚は100オングストローム、シート抵抗値は $2 \times 10^4 \Omega/\square$ であった。なおここで述べる微粒子膜とは、上述したように、複数の微粒子が集合した膜であり、その微細構造として、微粒子が個々に分散配置した状態のみならず、微粒子が互いに隣接、あるいは、重なり合った状態(島状も含む)の膜をさし、その粒径とは、前記状態で粒子形状が認識可能な微粒子についての径をいう。

【0107】工程-c：Cr膜および焼成後の電子放出部形成用薄膜2を酸エッチャントによりエッチングして所望のパターンを形成した。以上の工程により基板1上に、素子電極5、6、電子放出部形成用薄膜2等を形成した(図2の(b))。

【0108】工程-d：次に、図3の測定評価装置に設置し、真空ポンプにて排気し、 $2 \times 10^{-5}$ トorrの真空度に達した後、素子に素子電圧Vfを印加するための電源31より、4素子各々の素子電極5、6間にそれぞれ、電圧を印加し、通電処理(フォーミング処理)した。フォーミング処理の電圧波形を図4の(b)に示す。

【0109】図4の(b)中、T1及びT2は電圧波形のパルス幅とパルス間隔であり、本実施例ではT1を1ミリ秒、T2を10ミリ秒とし、矩形波の波高値(フォーミング時のピーク電圧)は0.1Vステップで昇圧

し、フォーミング処理を行なった。また、フォーミング処理中は、同時に、0.1Vの電圧で、T2間に抵抗測定パルスを挿入し、抵抗を測定した。尚フォーミング処理の終了は、抵抗測定パルスでの測定値が、約1Mオーム以上になった時とし、同時に、素子への電圧の印加を終了した。それぞれの素子のフォーミング電圧Vformは、5.1V、5.0V、5.0V、5.15Vであった。

【0110】工程-e：続いて、フォーミング処理した4素子に対しそれぞれ、図4の(b)の波形で矩形波の波高値をそれぞれ4Vと14Vで、各2個づつ活性化処理をした。低抵抗活性化処理つまり、4Vで活性化処理した素子サンプルを素子A、高抵抗活性化処理、つまり14Vで活性化処理をした素子サンプルを素子Bと呼ぶことにする。

【0111】活性化処理とは前述した様に、図3の測定評価装置内で、素子電極間にパルス電圧を、素子電流If及び放出電流Ieを測定しながら、印加した。尚、この時、図3の測定評価装置内の真空度は、 $1.5 \times 10^{-5}$ トorrであった。約30分で活性化処理を終了した。

【0112】こうして、電子放出部3を形成し電子放出素子を作製した。

【0113】上述の工程で作製した表面伝導形電子放出素子の特性及び形態を把握するために、上記素子A、Bを各1個づつ、その電子放出特性の測定を上述の図3の測定評価装置を用いて行った。また残りの1個づつを電子顕微鏡で観察した。

【0114】なお、アノード電極と電子放出素子間の距離を4mm、アノード電極の電位を1kV、電子放出特性測定時の真空装置内の真空度を $1 \times 10^{-5}$ トorrとした。素子A、Bとも、電極5及び6の間に素子電圧を14V印加し、その時に流れる素子電流If及び放出電流Ieを測定した。素子Aでは、測定開始直後に10mA程度の素子電流Ifが流れ、次第に減少し、それにともない、放出電流Ieが観察された。一方、素子Bでは、測定初期より、安定した素子電流If、放出電流Ieが観察され、素子電圧14Vでは素子電流Ifが2.0mA、放出電流Ieが1.0μAとなり、電子放出効率 $\eta = Ie / If \times 100 (\%)$ は0.05%であった。以上より、素子Aは、素子電流Ifが、測定初期において、著しく大きく、不安定であるが、一方、素子Bでは測定初期より、安定でかつ効率 $\eta$ のよい電子放出素子であることがわかる。

【0115】また、素子Bについて、活性化処理の真空度 $1.5 \times 10^{-5}$ トorrのマイナス5に直し、素子に0.005Hz程度の三角波で電圧を掃印しながら、素子電流If、放出電流Ieを測定すると、図7に示される破線の特性を示した。図7に示される様に、約5V前後まで、素子電流Ifは、急激に増加したのち、5V以下で電圧が

御型負性抵抗を示す。この時、素子電流  $I_f$  が最大を示す電圧 ( $V_p$  と呼ぶ) は、5 V である。また 10 V 以上では、素子電流  $I_f$  は、最大の素子電流の数分の 1 の 1 mA 程度であった。電子顕微鏡で観察した素子 A、B の形態は、図 6 の (a)、(b) に示したものと同様である。図 6 の (B) より素子 A では、素子電極間の薄膜 (導電性膜) 4 の変質部分 3 の一部に多くの被膜 (堆積物) 61 が形成されているのがわかる。一方、素子 B では、図 6 の (a) より、活性化処理時の素子への電圧の印加方向に依存して、特に、変質部分 3 の一部より高電位電極 5 側の導電性膜 4 上を主として、被膜 (堆積物) 61 が形成されていた。更に、高倍率の FESEM (2 次電子顕微鏡の略) で観察すると、この被膜は、金属微粒子の周囲及び微粒子間にも形成されているようであった。

【0116】尚、TEM (透過電子顕微鏡) ラマン等で観察すると、グラファイト、アモルファスカーボンからなる炭素被膜が観察された。

【0117】又、これらの観察により、素子 A では、先に述べた電圧制御型負性抵抗を示す電圧  $V_p$  以下で活性化されたため、フォーミング処理によって発生した薄膜の変質部の一部に、素子 B より多くの炭素が形成され、著しく大きな素子電流が流れ、測定電圧で、薄膜変質部の高電位側と低電位側間に形成された炭素被膜が電流パスとなり、素子 B の数倍の素子電流が流れ、駆動初期から素子電流が変動したと考えられる。

【0118】一方、高抵抗活性化処理をおこなった素子 B では、先に述べた電圧制御型負性抵抗を示す電圧  $V_p$  以上で活性化されたため、素子 A 同様に、変質部の一部に炭素被膜が形成されながらも、素子 A より炭素被膜の部分的に電氣的に切断された部位が多いと考えられる。このため、駆動初期より安定した電流になったと考えられる。

【0119】以上より高抵抗活性化処理により、素子電流  $I_f$ 、放出電流  $I_e$  が安定し、かつ、効率のよい電子放出が作成された。

【0120】(実施例 2) 本実施例は、多数の表面伝導形電子放出素子を単純マトリクス配置した画像形成装置の例である。

【0121】電子源の一部の平面図を図 13 に示す。また、図中の A-A' 断面図を図 14 に示す。但し、図 13、図 14、図 15、図 16 で、同じ記号を示したものは、同じものを示す。ここで 1 は基板、82 は図 8 の D x m に対応する X 方向配線 (下配線とも呼ぶ)、83 は図 8 の D y n に対応する Y 方向配線 (上配線とも呼ぶ)、4 は電子放出部を含む薄膜、5、6 は素子電極、141 は層間絶縁層、142 は素子電極 5 と下配線 82 と電氣的接続のためのコンタクトホールである。

【0122】次に、製造方法を図 15、図 16 により工程順に従って具体的に説明する。

【0123】工程-a: 清浄化した青板ガラス上に厚さ 0.5 ミクロンのシリコン酸化膜をスパッタ法で形成した基板 1 上に、真空蒸着により厚さ 50 オングストロームの Cr、厚さ 6000 オングストロームの Au を順次積層した後、ホトレジスト (AZ1370 ヘキスト社製) をスピナーにより回転塗布、ベークした後、ホトムスク像を露光、現像して、下配線 82 のレジストパターンを形成し、Au/Cr 堆積膜をウェットエッチングして、所望の形状の下配線 82 を形成する (図 15 の (a))。

【0124】工程-b: 次に、厚さ 1.0 ミクロンのシリコン酸化膜からなる層間絶縁層 141 を RF スパッタ法により堆積する (図 15 の (b))。

【0125】工程-c: 前記工程 b で堆積したシリコン酸化膜にコンタクトホール 142 を形成するためのホトレジストパターンを作り、これをマスクとして層間絶縁層 141 をエッチングしてコンタクトホール 142 を形成する。エッチングは CF<sub>4</sub> と H<sub>2</sub> ガスを用いた RIE (Reactive Ion Etching) 法によった (図 15 の (c))。

【0126】工程-d: その後、素子電極 5 と素子電極間ギャップ G となるべきパターンをホトレジスト (RD-2000N-41 日立化成社製) で形成し、真空蒸着法により、厚さ 50 オングストロームの Ti、厚さ 1000 オングストロームの Ni を順次堆積した。ホトレジストパターンを有機溶剤で溶解し、Ni/Ti 堆積膜をリフトオフし、素子電極間隔 G は 3 ミクロン、素子電極の幅 W1 は 300 ミクロンとし、素子電極 5、6 を形成した (図 15 の (d))。

【0127】工程-e: 素子電極 5、6 の上に上配線 83 のホトレジストパターンを形成した後、厚さ 50 オングストロームの Ti、厚さ 5000 オングストロームの Au を順次、真空蒸着により堆積し、リフトオフにより不要の部分を除去して、所望の形状の上配線 84 を形成した (図 16 の (e))。

【0128】工程-f: 膜厚 1000 オングストロームの Cr 膜 151 を真空蒸着により堆積・パターンニングし、その上に有機 Pd (ccp4230 奥野製薬 (株) 社製) をスピナーにより回転塗布、300℃で 10 分間の加熱焼成処理をした。また、こうして形成された主元素として Pd よりなる微粒子からなる電子放出部形成用薄膜 2 の膜厚は 85 オングストローム、シート抵抗値は  $3.9 \times 10^4$  乗  $\Omega/\square$  であった。なおここで述べる微粒子膜とは、上述したように、複数の微粒子が集合した膜であり、その微細構造として、微粒子が個々に分散配置した状態のみならず、微粒子が互いに隣接、あるいは、重なり合った状態 (島状も含む) の膜をさし、その粒径とは、前記状態で粒子形状が認識可能な微粒子についての径をいう (図 16 の (f))。

【0129】工程-g: Cr 膜 151 及び焼成後の電子

放出部形成用薄膜2を酸エッチャントによりエッチングして所望のパターンを形成した(図16の(g))。

【0130】工程-h:コンタクトホール142部分以外にレジストを塗布するようなパターンを形成し、真空蒸着により厚さ50オングストロームのTi、厚さ5000オングストロームのAuを順次堆積した。リフトオフにより不要の部分を除去することにより、コンタクトホール142を埋め込んだ(図16の(h))。

【0131】以上の工程により絶縁性基板1上に下配線82、層間絶縁層141、上配線83、素子配線5、6、電子放出部形成用薄膜2等を形成した。

【0132】次に、以上のようにして作成した電子源基板を用いて、電子源及び表示装置を構成した例を、図9と図10を用いて説明する。

【0133】以上のようにして素子を作製した基板1を、リアプレート91上に固定した後、基板1の5mm上方に、フェースプレート96(ガラス基板93の内面に蛍光膜94とメタルバック95が形成されて構成される)を支持棒92を介し配置し、フェースプレート96、支持棒92、リアプレート91の接合部にフリットガラスを塗布し、大気中あるいは窒素雰囲気中で400℃ないし500℃で10分以上焼成することで封着した。またリアプレート91への基板1の固定もフリットガラスで行った。

【0134】本実施例において図9の84は、電子放出部形成前の電子放出素子(例えば、図2の(b)に相当する)であり、82、83はそれぞれX方向及びY方向の素子配線である。

【0135】蛍光膜94は、モノクロームの場合は蛍光体のみから成るが、本実施例では蛍光体はストライプ形状を採用し(図10の(a))、先にブラックストライプを形成し、その間隙部に各色蛍光体を塗布し、蛍光膜94を作製した。ブラックストライプの材料として通常良く用いられている黒鉛を主成分とする材料を用いた。ガラス基板93に蛍光体を塗布する方法はスラリー法を用いた。

【0136】また、蛍光膜94の内面側には通常メタルバック95が設けられる。メタルバックは、蛍光膜作製後、蛍光膜の内面側表面の平滑化処理(通常フィルミングと呼ばれる)を行い、その後、A1を真空蒸着することで作製した。

【0137】フェースプレート96には、更に蛍光膜94の導電性を高めるため、蛍光膜94の外面側に透明電極(不図示)が設けられる場合もあるが、本実施例では、メタルバックのみで十分な導電性が得られたので省略した。

【0138】前述の封着を行う際、カラーの場合は各色蛍光体と電子放出素子とを対応させなくてはならないため、十分な位置合わせを行った。

【0139】以上のようにして完成したガラス容器内の

雰囲気は排気管(図示せず)を通じ真空ポンプにて排気し、十分な真空度に達した後、容器外端子DxolないしDoxmとDoylないしDoy nを通じ電子放出素子74の電極5、6間に電圧を印加し、電子放出部形成用薄膜2をフォーミング処理した。フォーミング処理の電圧波形は、図4の(b)と同様である。

【0140】本実施例ではT1を1ミリ秒、T2を10ミリ秒とし、約1×10のマイナス5乗torrの真空雰囲気下で行った。

【0141】このように作成された電子放出部3は、バライウム元素を主成分とする微粒子が分散配置された状態となり、その微粒子の平均粒径は30オングストロームであった。

【0142】次にフォーミングと同一の矩形波で、波高14Vで、真空度2×10のマイナス5乗torrの真空度で、素子電流If、放出電流Ieを測定しながら、高抵抗活性化処理を行った。

【0143】フォーミング、活性化処理を行い、電子放出部3を形成し電子放出素子84を作製した。

【0144】次に10のマイナス6乗トール程度の真空度まで排気し、不図示の排気管をガスバーナーで熱することで溶着し外囲器の封止を行った。

【0145】最後に封止後の真空度を維持するために、高周波加熱法でゲッター処理を行った。

【0146】以上のように完成した本発明の画像表示装置において、各電子放出素子には、容器外端子Dx1ないしDxm、Dy1ないしDynを通じ、走査信号及び変調信号を不図示の信号発生手段より、それぞれ印加することにより、電子放出させ、高圧端子Hvを通じ、メタルバック95に5kV以上の高圧を印加し、電子ビームを加速し、蛍光膜99に衝突させ、励起・発光させることで画像を表示した。又、素子電流If、放出電流Ieは双方とも図7の実線を示し、駆動初期から安定であった。又、この時、テレビジョンに要求される輝度100fL~150fLにも対応できる放出電流であった。

【0147】(実施例3)図17は、前記説明の表面伝導形電子放出素子を電子源として用いたディスプレイパネルに、たとえばテレビジョン放送をはじめとする種々の画像情報源より提供される画像情報を表示できるように構成した表示装置の一例を示すための図である。図17中、17100はディスプレイパネル、17101はディスプレイパネルの駆動回路、17102はディスプレイコントローラ、17103はマルチプレクサ、17104はデコーダ、17105は入出力インターフェース回路、17106はCPU、17107は画像生成回路、17108及び17109及び17110は画像メモリーインターフェース回路、17111は画像入力インターフェース回路、17112及び17113はTV信号受信回路、17114は入力部である(なお、本表示装置は、例えばテレビジョン信号のトランスミッターと

音声情報の両方を含む信号を受信する場合には、当然映像の表示と同時に音声を再生するものであるが、本発明の特徴と直接関係しない音声情報の受信、分離、再生、記憶などに関する回路やスピーカーなどについては説明を省略する。)

【0148】以下、画像信号の流れに沿って各部の機能を説明してゆく。

【0149】まず、TV信号受信回路17113は、例えば電波や空間光通信などのような無線伝送系を用いて伝送されるTV画像信号を受信する為の回路である。受信するTV信号の方式は特に限られものではなく、例えば、NTSC方式、PAL方式、SECAM方式などの諸方式でもよい。また、これらより更に多数の走査線よりなるTV信号(例えばMUSE方式をはじめとするいわゆる高品位TV)は、大面積化や大画素数化に適した前記ディスプレイパネルの利点を生かすのに好適な信号源である。TV信号受信回路17113で受信されたTV信号は、デコーダ17104に出力される。

【0150】また、TV信号受信回路17112は、例えば同軸ケーブルや光ファイバー等のような有線伝送系を用いて伝送されるTV画像信号を受信する為の回路である。前記TV信号受信回路17113と同様に、受信するTV信号の方式は特に限られるものではなく、また本回路で受信されたTV信号もデコーダ17104に出力される。

【0151】また、画像入力インターフェース回路17111は、例えばTVカメラや画像読み取りスキャナー等の画像入力装置から供給される画像信号を取り込むための回路で、取り込まれた画像信号はデコーダ17104に出力される。

【0152】また、画像メモリーインターフェース回路17110は、ビデオテープレコーダー(以下VTRと略す)に記憶されている画像信号を取り込むための回路で、取り込まれた画像信号はデコーダ17104に出力される。

【0153】また、画像メモリーインターフェース回路17109は、ビデオディスクに記憶されている画像信号を取り込むための回路で、取り込まれた画像信号はデコーダ17104に出力される。

【0154】また、画像メモリーインターフェース回路17108は、いわゆる静止画ディスクのように、静止画像データを記憶している装置から画像信号を取り込むための回路で、取り込まれた静止画像データはデコーダ17104に入力される。また、入出力インターフェース回路17105は、本表示装置と、外部のコンピュータもしくはコンピュータネットワークもしくはプリンターなどの出力装置とを接続するための回路である。画像データや文字・図形情報の入出力を行うのはもちろんのこと、場合によっては本表示装置の備えるCPU171

を行うことも可能である。

【0155】また、画像生成回路17107は、前記入出力インターフェース回路17105を介して外部から入力される画像データや文字・図形情報や、あるいはCPU17106より出力される画像データや文字・図形情報に基づき表示用画像データを生成するための回路である。本回路の内部には、例えば画像データや文字・図形情報を蓄積するための書き換え可能メモリーや、文字コードに対応する画像パターンが記憶されている読み出し専用メモリーや、画像処理を行うためのプロセッサ等をはじめとして画像の生成に必要な回路が組み込まれている。

【0156】本回路により生成された表示用画像データは、デコーダ17104に出力されるが、場合によっては前記入出力インターフェース回路17105を介して外部のコンピュータネットワークやプリンターに出力することも可能である。

【0157】また、CPU17106は、主として本表示装置の動作制御や、表示画像の生成や選択や編集に関わる作業を行う。

【0158】例えば、マルチプレクサ17103に制御信号を出力し、ディスプレイパネルに表示する画像信号を適宜選択したり組み合わせたりする。また、その際には表示する画像信号に応じてディスプレイパネルコントローラ17102に対して制御信号を発生し、画面表示周波数や走査方法(例えばインターレースかノンインターレースか)や一画面の走査線の数など表示装置の動作を適宜制御する。

【0159】また、前記画像生成回路17107に対して画像データや文字・図形情報を直接出力したり、あるいは前記入出力インターフェース回路17105を介して外部のコンピュータやメモリーをアクセスして画像データや文字・図形情報を入力する。なお、CPU17106は、もちろんこれ以外の目的の作業にも関わるものであって良い。例えば、パーソナルコンピュータやワードプロセッサなどのように、情報を生成したり処理する機能に直接関わっても良い。あるいは、前述したように入出力インターフェース回路17105を介して外部のコンピュータネットワークと接続し、例えば数値計算などの作業を外部機器と協同して行っても良い。

【0160】また、入力部17114は、前記CPU17106に使用者が命令やプログラム、あるいはデータ等を入力するためのものであり、例えばキーボードやマウスのほか、ジョイスティック、バーコードリーダー、音声認識装置など多様な入力機器を用いる事が可能である。

【0161】また、デコーダ17104は、前記17107ないし17113より入力される種々の画像信号を3原色信号、または輝度信号とI信号、Q信号に逆変換

に、デコーダ17104は内部に画像メモリーを備えるのが望ましい。これは、例えばMUSE方式をはじめとして、逆変換するに際して画像メモリーを必要とするようなテレビ信号を扱うためである。

【0162】また、画像メモリーを備える事により、静止面の表示が容易になる、あるいは前記画像生成回路17107及びCPU17106と協同して画像の間引き、補間、拡大、縮小、合成をはじめとする画像処理や編集が容易に行えるようになるという利点が生まれるからである。

【0163】また、マルチプレクサ17103は、前記CPU17106より入力される制御信号に基づき表示画像を適宜選択するものである。すなわち、マルチプレクサ17103はデコーダ17104から入力される逆変換された画像信号のうちから所望の画像信号を選択して駆動回路17101に出力する。その場合には、一面面表示時間内で画像信号を切り替えて選択することにより、いわゆる多画面テレビのように、一面面を複数の領域に分けて領域によって異なる画像を表示することも可能である。

【0164】また、ディスプレイパネルコントローラ17102は、前記CPU17106より入力される制御信号に基づき駆動回路17101の動作を制御するための回路である。

【0165】まず、ディスプレイパネルの基本的な動作に関わるものとしては、たとえばディスプレイパネルの駆動用電源（図示せず）の動作シーケンスを制御するための信号を駆動回路17101に対して出力する。また、ディスプレイパネルの駆動方法に関わるものとして、たとえば画面表示周波数や走査方法（たとえばインターレースかノンインターレースか）を制御するための信号を駆動回路17101に対して出力する。

【0166】また、場合によっては表示画像の輝度やコントラストや色調やシャープネスといった画質の調整に関わる制御信号を駆動回路17101に対して出力する場合もある。

【0167】また、駆動回路17101はディスプレイパネル17100に印加する駆動信号を発生するための回路であり、前記マルチプレクサ17103から入力される画像信号と、前記ディスプレイパネルコントローラ17102より入力される制御信号にもとづいて動作するものである。

【0168】以上、各部の機能を説明したが、図17に例示した構成により、本表示装置においては多様な画像情報源より入力される画像情報をディスプレイパネル17100に表示する事が可能である。すなわち、テレビジョン放送をはじめとする各種の画像信号はデコーダ17104において逆変換された後、マルチプレクサ17103において適宜選択され、駆動回路17101に入力される。また、ディスプレイパネルコントローラ17102

は、表示する画像信号に応じて駆動回路17101の動作を制御するための制御信号を発生する。駆動回路17101は、上記画像信号と制御信号にもとづいてディスプレイパネル17100に駆動信号を印加する。これにより、ディスプレイパネル17100において画像が表示される。これらの一連の動作は、CPU17106により統括的に制御される。

【0169】また、本表示装置においては、前記デコーダ17104に内蔵する画像メモリー、画像生成回路17107および情報の中から選択したものを表示するだけでなく、表示する画像情報に対して、たとえば拡大、縮小、回転、移動、エッジ強調、間引き、補間、色変換、画像の縦横比変換などをはじめとする画像処理や、合成、消去、接続、入れ換え、はめ込みなどをはじめとする画像編集を行う事も可能である。また、本実施例の説明では特に触れなかったが、上記画像処理や画像編集と同様に、音声情報に関しても処理や編集を行なうための専用回路を設けても良い。

【0170】したがって、本表示装置はテレビジョン放送の表示機器、テレビ会議の端末機器、静止画像および動画を扱う画像編集機器、コンピュータの端末機器、ワードプロセッサをはじめとする事務用端末機器、ゲーム機などの機能を一台で兼ね備えることが可能で、産業用あるいは民生用として極めて応用範囲が広い。

【0171】なお、上記図17は表示伝導形放出素子を電子ビーム源とするディスプレイパネルを用いた表示装置の構成の一例を示したにすぎず、これのみに限定されるものでない事は言うまでもない。たとえば、図17の構成要素のうち使用目的上必要のない機能に関わる回路は省いても差し支えない。またこれとは逆に、使用目的によってはさらに構成要素を追加しても良い。たとえば、本表示装置をテレビ電話機として応用する場合には、テレビカメラ、音声マイク、照明機、モデムを含む送受信回路などを構成要素に追加するのが好適である。

【0172】本表示装置においては、とりわけ表面伝導形電子放出素子を電子ビーム源とするディスプレイパネルの薄形化が容易なため、表示装置の奥行きを小さくすることができる。それに加えて、表面伝導形電子放出素子を電子ビーム源とするディスプレイパネルは大画面化が容易で輝度が高く視野角特性にも優れるため、本表示装置は臨場感にあふれ迫力に富んだ画像を視認性良く表示する事が可能である。

【0173】（実施例4）本実施例は多数の表面伝導形電子放出素子と、制御電極（グリッド）を有する画像形成装置の例である。

【0174】本実施例の画像形成装置の製造方法は実施例2とほぼ同等な方法で作製したので説明を詳細する。

【0175】まず、表面伝導形電子放出素子を基板上に多数個設けた電子源と、これに応用した表示装置の実施例を説明する。図18および図19は、本装置の構成に



導形電子放出素子の多数個を配列形成した電子源の2つの例を説明するための模式図である。

【0176】まず、図19においてSはたとえばガラスを材料とする絶縁性基板、点線で囲んだESは前記基板Sの上に設けられた表面伝導形電子放出素子、E1~E10は前記表面伝導形電子放出素子を配線するための配線電極をあらわしている。表面伝導形電子放出素子は基板上にX方向に沿って列をなして形成されている(以下、これを素子列と呼ぶ)。各素子列を構成する表面伝導形電子放出素子は、これを挟む両側の配線電極によって電気的に並列に共通配線されている(たとえば、第1列は両側の配線電極E1とE2によって配線されている)。

【0177】本実施例の電子源は、配線電極間に適宜の駆動電圧を印加することにより、各素子列を独立に駆動することが可能である。すなわち、電子ビームを放出させたい素子列には電子放出閾値を上回る適当な電圧を、また電子ビームを放出しない素子列には電子放出閾値を越えない適当な電圧(たとえば0[V])を印加すればよい(なお、以下の説明では、電子放出閾値を上回る適当な駆動電圧をVE[V]と記す。)

【0178】次に、図20に示すのは電子源の他の一例であり、Sはたとえばガラスを材料とする絶縁性基板、点線で囲んだESは前記基板Sの上に設けられた表面伝導形電子放出素子、E'1~E'6は前記表面伝導形電子放出素子を共通配線するための配線電極をあらわしている。前記図19の例と同様、本実施例においても表面伝導形電子放出素子はX方向に沿って列をなして形成され、各素子列の表面伝導形電子放出素子は配線電極によって電気的に並列に共通配線されている。さらに、たとえば素子列の第1列と第2列の片側の共通配線を配線電極E'2が兼ねているように、本実施例においては隣接する素子列の隣接する側の共通配線を1本の配線電極で行っている。本実施例の電子源は、前記図19の列と比較して同一形状の表面伝導形電子放出素子と配線電極を用いた場合に、Y方向に配列する配列間隔を小さくできるという利点がある。

【0179】本実施例の電子源は、配線電極間に適宜の駆動電圧を印加することにより、各素子列を独立に駆動することが可能である。すなわち、電子放出させたい電子放出素子列はVE[V]を、電子放出させない素子列にはたとえば0[V]の電圧を印加すればよい。たとえば、第3列だけを駆動したい場合には、E'1~E'3の各配線電極には0[V]の電位を、またE'4~E'6の各配線電極にはVE[V]の電位を印加する。その結果、第3列の素子列には、 $VE-0=VE$ [V]の電圧が印加されるが、他の素子列に対しては、 $0-0=0$ [V]かまたは $VE-VE=0$ [V]というように0[V]の電圧が印加されることになるわけである。また、たとえば第2列と第5列を同時に駆動させる場合に

は、配線電極E'1とE'2とE'6には0[V]の電位を、配線電極E'3とE'4とE'5にはVE[V]の電位を印加すればよい。このように、本実施例においても任意の素子列を選択的に駆動することが可能である。

【0180】なお、上記図19と図20の電子源においては、図示の便宜上から、表面伝導形電子放出素子をX方向には1列あたり12素子をならべたが、素子数はこれに限るものではなく、より多数を配列してもよい。また、Y方向には5列の素子列を並べたが、素子列の数はこれに限るものではなく、より多数を配列してもよい。

【0181】次に、上記の電子源を用いた平板型CRTについて例を挙げて説明する。

【0182】図21は前記図17の電子源を備えた平板型CRTのパネル構造を示すための図であり、図中VCはガラス製の真空容器で、その一部であるFPは表示面側のフェースプレートを示している。フェースプレートFPの内面には、たとえばITOを材料とする透明電極が形成され、さらに該透明電極上には赤、緑、青の蛍光体がモザイクもしくはストライプ状に塗り分けられている。図面の複雑化を避けるため、図中では透明電極と蛍光体を合わせてPHとして示している。なお、各色の蛍光体の間にはCRTの分野では公知のブラックマトリクスもしくはブラックストライプを設けてもよく、また蛍光体の上に同じく公知のメタルバック層を形成することも可能である。前記透明電極は、電子ビームの加速電圧を印加できるように端子EVを通じて真空容器外と電気的に接続されている。

【0183】また、Sは真空容器VCの底面に固定された電子源の基板で、前記図19で説明したように表面伝導形電子放出素子が配列形成されている。なお、本実施例においては1列あたり200素子が並列に配線された素子列が200列設けられている。各素子列の2本の配線電極は、両側のパネル側面に設けられた電極端子Dp1~Dp200およびDm1~Dm200と交互に接続しており、真空容器外から駆動電気信号が印加できるようになっている。

【0184】また、基板SとフェースプレートFPの間には、ストライプ状のグリッド電極GRが設けられている。グリッド電極GRは、前記素子列と直交して(すなわちY方向に沿って)200本が独立して設けられており、各グリッド電極には電子ビームを通過させるための開口Ghが設けられている。開口Ghは各表面伝導形電子放出素子に対応して1個ずつ円形のものが設けられているが、場合によってはメッシュ状に多数の通過口をもうけることもある。各グリッド電極は、電子端子G1~G200により真空容器外と電気的に接続されている。なお、グリッド電極は表面伝導形電子放出素子から放出された電子ビームを交差させることができるものであればその形状や設置位置は必ずしも図21のとおりである。



でなくともよく、たとえば表面伝導形電子放出素子の周囲や近傍に設けてもよい。

【0185】本表示パネルでは、表面伝導形電子放出素子の素子列とグリッド電極で200×200のXYマトリクスを構成している。したがって、素子列を1列ずつ順次駆動（走査）していくのと同期してグリッド電極列に画像1ライン分の変調信号を同時に印加することにより、各電子ビームの蛍光体への照射を制御し、画像を1ラインずつ表示していくものである。

【0186】つぎに、図22は前記図21の表示パネルを駆動するための電気回路をブロック図として示したので、図22中1000は前記図21の表示パネル、1001は外部から入力する複合同画像信号をデコードするためのデコード回路、1002はシリ/バラ変換回路、1003はラインメモリ、1004は変調信号発生回路、1005はタイミング制御回路、1006は走査信号発生回路である。表示パネル1000の電極端子は各々電気回路と接続されており、端子EVは10[kV]の加速電圧を発生する電圧源HVと、端子G1~G200は変調信号発生回路1004と、端子Dp1~Dp200は走査信号発生回路1006と、端子Dm1~Dm200はグラウンドと接続されている。

【0187】以下、各部の機能を説明する。まず、デコード回路1001は外部から入力するたとえばNTSCテレビ信号などの複合同画像信号をデコードするための回路で、複合同画像信号から輝度信号成分と同期信号成分を分離して、前者をData信号としてシリ/バラ変換回路1002に、後者をTsync信号としてタイミング制御回路1005に出力する。すなわち、デコード回路1001は、RGBの各色成分ごとの輝度を表示パネル1000のカラー画素配列に合わせて配列しシリ/バラ変換回路1002に順次出力する。また、垂直同期信号と水平同期信号を抽出してタイミング制御回路1005に出力する。タイミング制御回路1005は前記同期信号Tsyncを基準にして、各部の動作タイミングを整合させるための各種タイミング制御信号を発生する。つまり、シリ/バラ変換回路1002に対してはTspを、ラインメモリ1003に対してはTmryを変調信号発生回路1004に対してはTmodを走査信号発生回路1006に対してはTscanを出力する。

【0188】シリ/バラ変換回路1002は、デコード回路1001から入力する輝度信号Dataをタイミング制御回路1005より入力されるタイミング信号Tspにもとづいて順次サンプリングし、200個の並列信号I1~I200としてラインメモリ1003に出力する。タイミング制御回路1005は画像の1ライン分のデータがシリ/バラ変換された時点でラインメモリ1003に対して書き込みタイミング制御信号Tmryを出力する。ラインメモリ1003はTmryを受けるとI1~I200の内容を記憶して、それをI'1

~I'200として変調信号発生回路1004に出力するが、これはラインメモリに次の書き込みタイミング制御信号Tmryが入力されるまで保持される。

【0189】変調信号発生回路1004はラインメモリ1003より入力される画像1ライン分の輝度データにもとづいて、表示パネル1000のグリッド電極に印加する変調信号を発生させるための回路であり、タイミング制御回路1005の発生するタイミング制御信号Tmodに合わせて変調信号端子G1~G200に同時に印加する。変調信号は画像の輝度データに応じて電圧の大きさを変える電圧変調方式を用いるが、輝度データに応じて電圧パルスの長さを変えるパルス幅変調方式を用いることも可能である。

【0190】また、走査信号発生回路1006は表示パネル1000の表面伝導形電子放出素子の素子列を適宜駆動するための電圧パルスを発生するための回路である。タイミング制御回路1005の発生するタイミング制御信号Tscanに合わせて適宜内部のスイッチング回路を切り替え、定電圧源DVの発生する表面伝導形電子放出素子の閾値を上回る適当な駆動電圧VE[V]か、またはグラウンドレベル（すなわち0[V]）かを選択して端子Dp1~Dp200に印加するものである。

【0191】以上の回路により、表示パネル1000には図23のタイムチャートに示すタイミングで駆動信号が印加される。図23中の(a)~(d)は、走査信号発生回路1006から表示パネルの端子Dp1~Dp200に印加される信号の一部を示すが、図から分かるよう振幅VE[V]の電圧パルスが画像の1ライン表示時間ごとに順次Dp1、Dp2、Dp3...の順に印加されてゆく。一方、端子Dm1~Dm200は常にグラウンドレベル（0[V]）と接続されているため、上記電圧パルスにより素子列は第1列目から順次駆動され電子ビームが出力されていく。

【0192】また、これと同期して変調信号発生回路1004から同図(f)に点線で示すタイミングで画像の1ライン分の変調信号が同時に端子G1~G200に印加される。走査信号が切り替えられるのと同期して順次変調信号も切り替えられ、1画面分の画像が表示されてゆく。これを連続して繰り返し行うことにより、テレビジョン動画の表示が可能なのである。

【0193】以上、図19の電子源を備えた平板型CRTについて説明したが、次に前記図20の電子源を備えた平板型CRTについて図22を用いて説明する。

【0194】図24の平板型CRTは、基本的には前記図21の平板型CRTの電子源部を、図20のタイプで置き換えたものであり、電子放出素子列とグリッド電極で200×200のXYマトリクスを構成している。ただし、200列の表面伝導形電子放出素子の配線がE1~E201の201本の配線電極でなされているため、直交素子にはEx1~Ex201の201本の配線電極が

が設けられている。

【0195】図25に本表示パネル1008を駆動する駆動回路を示すが、走査信号発生回路1007を除けば、前記G4図の回路と基本的に同様である。走査信号発生回路1007は、定電圧源DVの発生する表面伝導形電子放出素子の電子放出閾値を上回る適当な駆動電圧VE[V]か、またはグランドレベル(0[V])を適宜選択して表示パネルの端子に出力するが、そのタイミングを図24のタイムチャートに示す。表示パネルは

(a)に示すタイミングで表示動作を行うが、そのために電極端子Ex1~Ex4には走査信号発生回路1007より(b)~(e)に示すような駆動信号が印加される。そのため、表面伝導形電子放出素子列には(f)~(h)のような電圧が印加され、1列ずつ順次駆動される。これと同期して、変調信号発生回路1004からは(i)のようなタイミングで変調信号が出力され、順次画像が表示されるものである。

【0196】本実施例の画像形成装置も、実施例2と同様な効果を奏するものであった。

【0197】

【発明の効果】以上説明した様に、本発明によれば、電子放出素子の活性化処理工程により、電子放出部の一部にグラファイト、あるいはアモルファスカーボン、あるいはそれらの混合物からなる炭素を主成分とする被膜を制御して被覆したため、従来、真空中で不明であった電子放出特性の制御が、可能となった。

【0198】より好ましくは、該活性化工程は該薄膜に炭素を主成分とする被膜を被覆する工程、真空中で該電子放出素子の一对の電極に電圧制御型負性抵抗特性領域以上の電圧を印加する工程とすることで、該電子放出部

の一部より高電位側に炭素を主成分とする被膜で被覆することで電子放出素子の駆動初期より特性が安定で、かつ素子電流が小さく、効率の高い電子放出素子の作成が可能となった。

【0199】さらには、入力信号に応じて電子を放出する電子源においては、安定で、かつ、歩どまりよく作成できるようになった。また、効率の向上により、消費電力が少なく周辺回路等の負担も軽減され安価な装置が提供できた。

【0200】また、画像形成装置においては、安定で制御された電子放出特性と効率の向上がなされ、例えば蛍光体を画像形成部材とする画像形成装置においては、低電流で明るい高品位な画像形成装置、例えばカラーフラットテレビが実現された。

【図面の簡単な説明】

【図1】本発明に係る基本的な表面伝導型電子放出素子の構成を示す図。

【図2】本発明に係る表面伝導型電子放出素子の基本的な製造方法を説明するための図。

【図3】本発明に係る表面伝導型電子放出素子の特性図

価に用いる測定評価装置の図。

【図4】本発明に係るフォーミング処理における電圧波形の一例を示す図。

【図5】本発明に係る表面伝導型電子放出素子の素子電流及び放出電流の活性化処理時間に対する依存性を示す図。

【図6】本発明に係る表面伝導型電子放出素子の活性化処理による形態変化を示す図。

【図7】本発明に係る表面伝導型電子放出素子の放出電流、素子電流、及び素子電圧の関係の典型例を示す図。

【図8】本発明に係る電子源基板の構成を示す図。

【図9】本発明に係る画像形成装置の基本構成を示す図。

【図10】図10の画像形成装置に用いられる蛍光膜を示す図。

【図11】本発明の実施例1の表面伝導型電子放出素子を示す図。

【図12】本発明に係る基本的な表面伝導型電子放出素子の別の態様の構成を示す図。

【図13】本発明の実施例2の電子源の構成の一部を示す図。

【図14】図13のA-A'断面図。

【図15】本発明の実施例2の電子源の製造工程を説明するための断面図。

【図16】本発明の実施例2の電子源の製造工程を説明するための断面図。

【図17】本発明の実施例3の表示装置を説明するための図。

【図18】従来の表面伝導型電子放出素子の構成を示す図。

【図19】本発明の実施例4の画像形成装置の電子源基板の概略構成図。

【図20】本発明の実施例4の画像形成装置の電子源基板の概略構成図。

【図21】本発明の実施例4の画像形成装置におけるパネル構成図。

【図22】本発明の実施例4の画像形成装置を駆動するための電気回路を説明するためのブロック図。

【図23】本発明の実施例4の画像形成装置の駆動を説明するためのタイムチャート図。

【図24】本発明の実施例4の画像形成装置におけるパネル構成図。

【図25】本発明の実施例4の画像形成装置を駆動するための電気回路を説明するためのブロック図。

【図26】本発明の実施例4の画像形成装置の駆動を説明するためのタイムチャート図。

【符号の説明】

1 基板

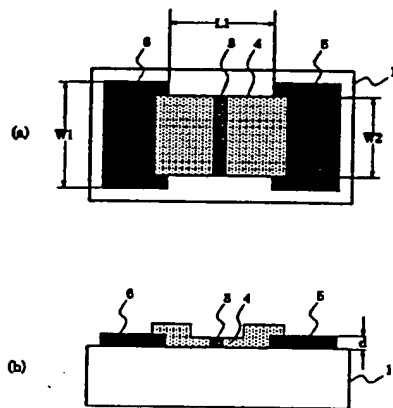
2 電子放出部形成用薄膜

3 電子放出部

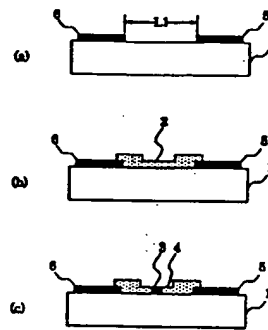
- 4 電子放出部を含む薄膜  
 5, 6 素子電極  
 84, 74 電子放出素子  
 82, 83 配線  
 85 結線  
 91 リヤプレート  
 92 支持枠

- 93 透明基板  
 94 蛍光膜  
 95 メタルバック  
 96 フェースプレート  
 98 外磁器  
 141 層間絶縁層  
 142 コンタクトホール

【図1】

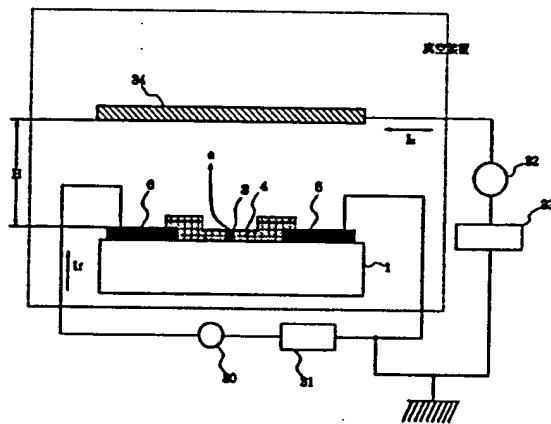


【図2】

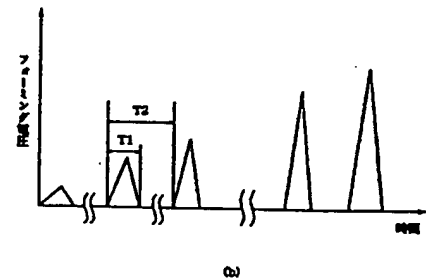
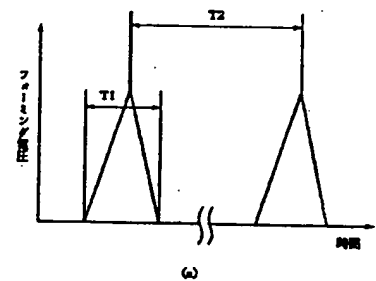
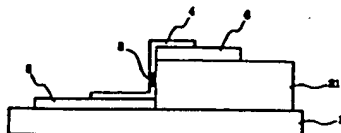


【図4】

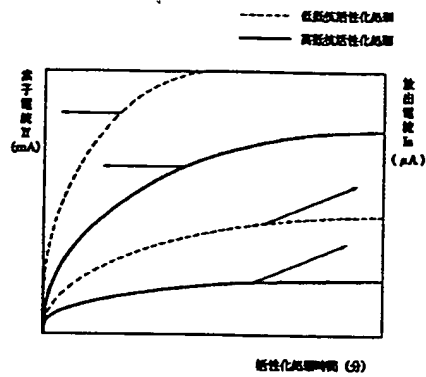
【図3】



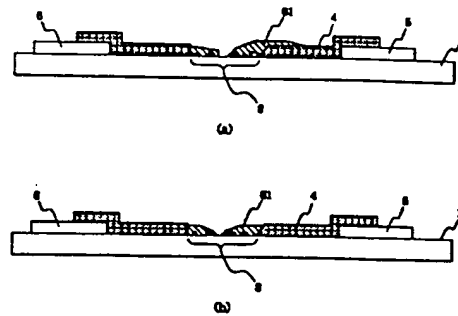
【図12】



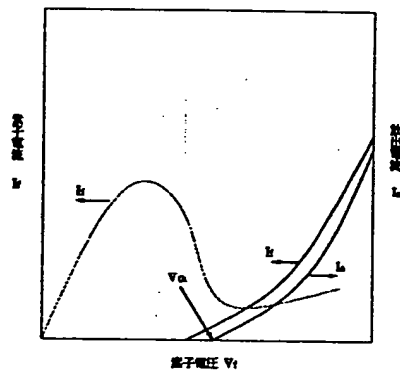
【図5】



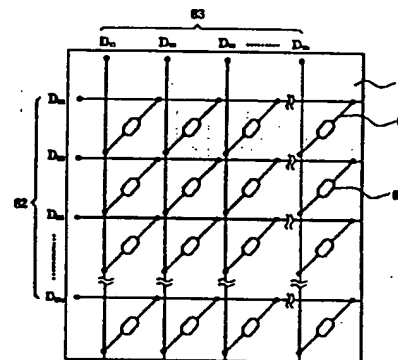
【図 6】



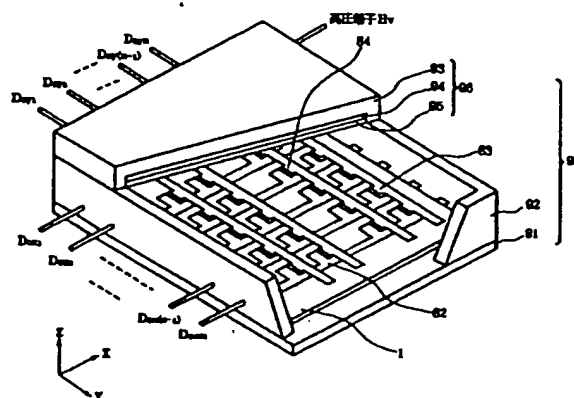
【图7】



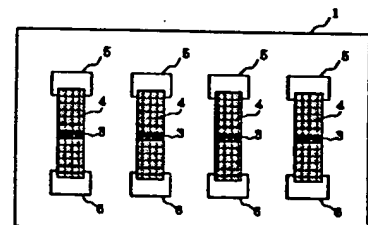
【図8】



【图9】

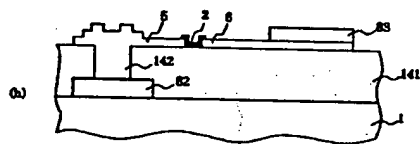
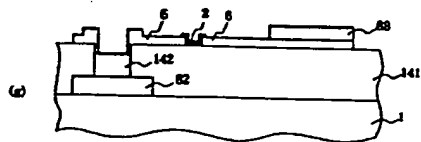
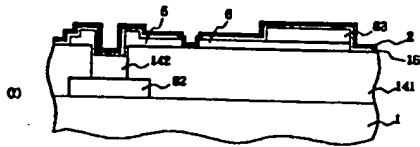
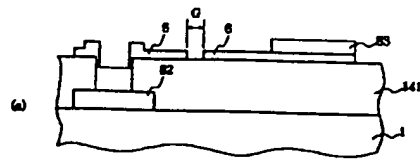


【图 1-1】

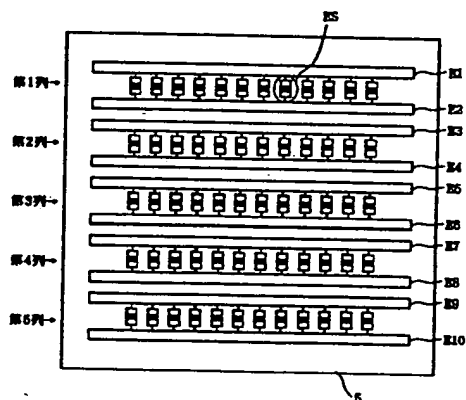




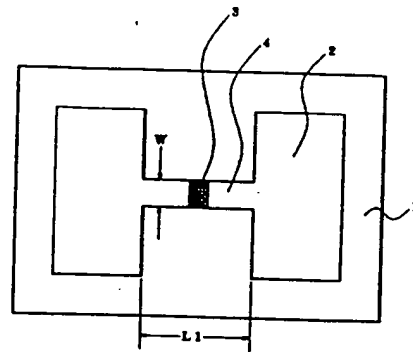
【图 16】



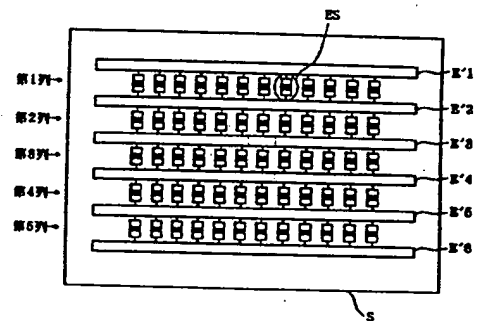
【圖 19】



【例 18】



【図20】



【図17】

